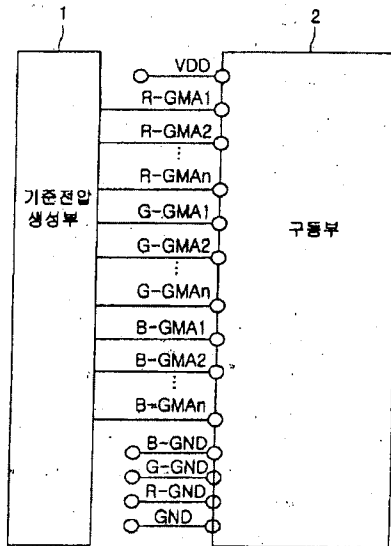
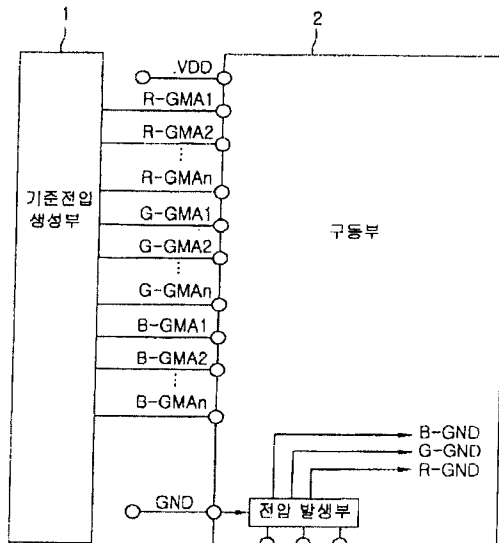


도면7



도면8



# 한국공개특허공보 특2001-0078229호(2001.08.20.) 1부.

특2001-0070173

## (19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G09G 3/30

(11) 공개번호 특2001-0070173  
(43) 공개일자 2001년07월25일

(21) 출원번호	10-2000-0063673
(22) 출원일자	2000년10월28일
(30) 우선권주장	11-307869 1999년10월29일 일본(JP)
(71) 출원인	가부시카가이사 한도오따이 에네루기 켄큐쇼 야마자키 순페이 일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자	야마자키순페이 일본국가나가와켄아쓰기시하세398반치가부시카가이사한도오따이에네루기켄큐쇼내 고누마도시미츠 일본국가나가와켄아쓰기시하세398반치가부시카가이사한도오따이에네루기켄큐쇼내 고이마준 일본국가나가와켄아쓰기시하세398반치가부시카가이사한도오따이에네루기켄큐쇼내 이누카िका즈타카 일본국가나가와켄아쓰기시하세398반치가부시카가이사한도오따이에네루기켄큐쇼내 마즈카미마유미 일본국가나가와켄아쓰기시하세398반치가부시카가이사한도오따이에네루기켄큐쇼내
(74) 대리인	황의만

심사청구 : 없음

(54) 전자장치

### 요약

신뢰성이 높고 컬러 재현성이 높은 전자장치를 제공한다. 화소 구조는 단결정 반도체 기판(11) 상에 스위칭용 FET(201)와 전류 제어용 FET(202)가 형성되고, EL 소자(203)가 전류 제어용 FET(202)에 전기적으로 접속되도록 이루어진다. 화소간에 전류 제어용 FET(202)의 특성의 변동이 매우 적고, 컬러 재현성이 높은 화상이 얻어질 수 있다. 전류 제어용 FET(202)에서 핫 캐리어에 대비한 조치를 취함으로써 신뢰성이 높은 전자장치가 얻어질 수 있게 된다.

### 대표도

도 1

### 색인어

전자장치, 전자 설비

### 영세서

### 도면의 간단한 설명

- 도 1은 전자장치의 화소부의 단면 구조를 나타낸 도면.
- 도 2(A) 및 (B)는 화소부의 상부 표면 구조 및 그 회로 배치를 각각 나타낸 도면.
- 도 3(A) 내지 (D)는 액티브 매트릭스 기판의 제작 공정을 각각 나타낸 도면.
- 도 4(A) 내지 (D)는 액티브 매트릭스 기판의 제작 공정을 각각 나타낸 도면.
- 도 5(A) 및 (B)는 액티브 매트릭스 기판의 제작 공정을 각각 나타낸 도면.

- 도 6은 화소부의 확대도.
- 도 7은 전계발광 표시장치의 회로 구조를 나타낸 도면.
- 도 8은 전계발광 표시장치의 단면 화소 부분을 확대도로 나타낸 도면.
- 도 9(A) 내지 (C)는 화소의 회로 구조를 각각 나타낸 도면.
- 도 10(A) 내지 (D)는 전류 제어용 전계 효과 트랜지스터의 단면 구조를 각각 나타낸 도면.
- 도 11(A) 및 (B)는 다수의 전계발광 표시장치를 얻는 공정을 각각 나타낸 도면.
- 도 12(A) 및 (B)는 다수의 전계발광 표시장치를 얻는 공정을 각각 나타낸 도면.
- 도 13(A) 및 (B)는 다수의 전계발광 표시장치를 얻는 공정을 각각 나타낸 도면.
- 도 14(A) 내지 (F)는 전자장치의 구체적인 예를 각각 나타낸 도면.
- 도 15(A) 및 (B)는 전자장치의 구체적인 예를 각각 나타낸 도면.

<도면의 주요 부분에 대한 부호의 설명>

- |                           |                       |
|---------------------------|-----------------------|
| 11 : 단결정 반도체 기판           | 12 : 전계 절연막           |
| 13, 31 : 소스 영역            | 14, 32 : 드레인 영역       |
| 15a 내지 15f, 33 : LOD 영역   | 16a, 16b : 고농도 불순물 영역 |
| 17a 내지 17c, 34 : 채널 형성 영역 | 18 : 게이트 절연막          |
| 19a 내지 19c, 35 : 게이트 전극   | 20 : 제1 증간절연막         |
| 21, 36 : 소스 배선 라인         | 22, 37 : 드레인 배선 라인    |
| 38 : 제1 패시베이션막            | 39 : 제2 증간절연막         |
| 40 : 화소 전극                | 41 : 절연막              |
| 42 : 발광층                  | 43 : 홀 주입 층           |
| 44 : 양극                   | 45 : 제2 패시베이션막        |
| 201 : 스위칭용 FET            | 202 : 전류 제어용 FET      |
| 203 : EL 소자               | 211 : 게이트 배선 라인       |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 발광 재료를 구비한 소자가 전극 사이에 배치되는 전자장치 및 그러한 전자장치를 표시부(지시 디스플레이 또는 지시 모니터)로서 사용하는 전자 설비에 관한 것이고, 보다 구체적으로 전계발광(Electro Luminescence: EL)을 일컫는 발광 재료(이후로 EL 재료로서 지칭됨)를 사용하는 전자장치에 관한 것이다.

근년, 발광 재료의 EL 현상을 이용한 발광 장치(이후로 EL 소자로서 지칭됨)를 사용하는 전자장치(이후로 EL 표시장치)가 개발되었다. EL 표시장치는 발광 장치를 이용한 표시장치이기 때문에 액정 디스플레이와 같은 배경 조명이 필요하지 않을 뿐만 아니라, 시야 각이 넓기 때문에 그러한 EL 표시장치가 야외에서 사용되는 휴대용 설비의 표시부로서 각광을 받고 있다.

EL 표시장치에는 패시브형(단순 매트릭스형) 및 액티브형(액티브 매트릭스형)의 2가지 유형이 있는데, 양자의 유형 모두가 비약적으로 발전되어 왔다. 특히, 현재에는 액티브 매트릭스형 EL 표시장치가 상당한 각광을 받고 있다. EL을 방출하는 발광층이 되는 EL 재료와 관련하여, 유기 EL 재료 및 무기 EL 재료가 있는데, 유기 EL 재료는 저분자(단량체) 유기 EL 재료와 고분자(중합체) 유기 EL 재료로 구분된다. 특히, 저분자 유기 EL 재료보다 취급하기가 더 쉽고 열 저항이 더 높은 중합체 EL 재료에 관심이 모아지고 있다. 또한, 유기 EL 재료를 이용한 발광 장치는 유럽에서는 유기 발광 다이오드(OLED)라고 지칭된다.

액티브 매트릭스형 EL 표시장치는 화소부를 구성하는 각각의 화소에 전계 효과 트랜지스터(이후로 FET로서 지칭됨)가 마련되고, EL 소자를 통해 흐르게 되는 전류의 양이 FET에 의해 제어되는 것을 그 특징으로 한다. 그러나, 화소간에 FET의 전기 특성에 차이가 있을 경우에 각각의 화소에 마련되는 EL 소자의 발광 특성에도 역시 차이가 생긴다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

전술된 문제점을 고려하여 이루어진 본 발명의 목적은 화소간에 EL 소자의 발광 특성에 변동이 적고 컬러의 재현성이 높은 전자장치를 제공하는 것이다. 본 발명의 다른 목적은 신뢰성이 높은 전자장치를 제공하는 것이다. 본 발명의 또 다른 목적은 그러한 전자장치를 표시부로서 사용하는 전자 설비를 제공하는 것이다.

본 발명의 또 다른 목적은 전술된 바와 같이 컬러 재현성이 높은 전자장치의 제작 비용을 절감하기 위한

공정을 제공하는 것이다.

#### 발명의 구성 및 작용

본 발명은 화소간에 FET의 전기 특성의 변동을 최소로 억제하기 위해 단결정 반도체 기판이 기판으로서 사용되고, 전자장치가 단결정 반도체 기판 상에 형성되는 FET를 사용하여 형성되는 것을 그 특징으로 한다. 또한, 본 발명은 FET의 형성을 가능하게 하는 정도의 두께로 된 단결정 기판이 광을 투과하지 않기 때문에, 음극이 직접 FET에 접촉되도록 EL 소자가 형성되는 것을 그 특징으로 한다.

또한, 본 발명은 다수의 FET가 하나의 화소에 형성되고, 각각의 FET의 역할에 따라 구조가 최적화되어 신뢰성이 높은 전자장치가 얻어지는 것을 그 특징으로 한다. 특히, 본 발명은 n채널형 FET가 스위칭 소자 및 전류 제어 소자로서 사용되고, 양자의 LDD 영역의 배열이 상이한 것을 그 특징으로 한다.

또한, 본 발명에서는 대형 기판으로부터 다수의 전자장치를 형성하는 공정을 사용하여 전자장치의 제작 비용의 절감, 즉 전자장치의 비용의 절감을 실현하게 된다. 본 발명은 기존의 액정 라인을 사용할 수 있는 공정을 채용하여 플랜트 및 장비에 대한 투자를 최소로 억제함으로써 제작 비용의 상당한 절감을 실현하는 것을 그 특징으로 한다.

이하, 본 발명을 첨부 도면을 참조로 하여 더욱 상세히 설명하기로 한다.

먼저, 본 발명을 실시하기 위한 실시예 형식을 도 1, 도 2A, 및 도 2B를 참조하여 설명하기로 한다. 도 1은 본 발명의 EL 표시장치의 화소부의 단면도이고, 도 2A는 그 평면도이며, 도 2B는 그 회로 구조를 나타낸 도면이다. 실제로, 다수의 화소가 매트릭스의 형태로 배치되어 화소부(화상 표시부)를 형성하게 된다. 또한, 도 1과 도 2A 및 도 2B에는 공통의 도면 부호가 사용되고 있고, 도 1과 도 2의 양자의 도면은 서로 석성히 참조될 수 있다. 도 2A의 평면도와 도 2B에는 2개의 화소가 도시되어 있지만, 양자의 화소는 동일한 구조의 것이다.

도 1에서는 도면 부호 '11'이 단결정 반도체 기판을, 도면 부호 '12'가 소자의 격리를 위한 절연막(이후로 전계 절연막)을 각각 지시하고 있다. 기판(11)으로서는 단결정 규소 기판 또는 단결정 규소 게르마늄 기판이 사용될 수 있고, p형 기판 및 n형 기판의 양자가 모두 적용될 수 있다.

본 경우에는 화소에 2개의 FET가 형성된다. 도면 부호 '201'은 스위칭 소자로서 기능하는 FET(이후로 스위칭용 FET로서 지칭됨)를, 도면 부호 '202'는 EL 소자를 통해 흐르게 되는 전류의 양을 제어하기 위한 전류 제어 소자로서 기능하는 FET(이후로 전류 제어용 FET로서 지칭됨)를 각각 지시하고 있다.

n채널형 FET는 동일한 양의 전류가 흐르게 될 경우에 p채널형 FET의 점유 면적보다 더 작은 점유 면적으로 형성될 수 있다는 점에서 유리하다. 세밀성이 높은 EL 표시장치의 화소부에서는 하나의 화소의 크기가 10 내지 수  $\mu\text{m}$  정도로 매우 작기 때문에, n채널형 FET를 사용할 경우에는 실제 어지에 있어서 상당한 유효성이 얻어질 수 있다.

p채널형 FET는 핫 캐리어 주입이 거의 문제가 되지 않고, 오프 전류가 낮으며, 스위칭용 FET 또는 전류 제어용 FET로서 사용되는 예가 이미 보고된 바 있다는 장점이 있다. 그러나, 본 발명에서는 LDD 영역의 배열에 의해 n채널형 FET에서도 핫 캐리어의 문제점이 해결되고, 모든 화소의 FET가 n채널형 FET로 될 수 있게 된다.

그러나, 본 발명에서는 스위칭용 FET 및 전류 제어용 FET를 n채널형 FET로 한정할 필요는 없고, p채널형 FET를 양자의 FET 또는 어느 하나의 FET에 사용하는 것도 역시 가능하다.

스위칭용 FET(201)는 소스 영역(13), 드레인 영역(14), LDD 영역(15a 내지 15f), 고농도 불순물 영역(15a, 16b), 채널 형성 영역(17a 내지 17c), 게이트 절연막(18), 게이트 전극(19a 내지 19c), 제1 층간절연막(20), 소스 배선 라인(21), 및 드레인 배선 라인(22)으로 이루어진다. 소스 영역(13), 드레인 영역(14), LDD 영역(15a 내지 15f), 및 고농도 불순물 영역(16a, 16b)은 주기율표의 15족 원소를 단결정 반도체 기판(11)에 첨가함으로써 형성된다.

또한, 도 2A에 도시된 바와 같이, 게이트 전극(19a 내지 19c)은 게이트 배선 라인(22)의 일부이고, 게이트 배선 라인(21)이 FET의 채널 형성 영역과 겹쳐지는 부분은 특히 게이트 전극이라고 지칭된다. 본 경우에는 2개의 채널 형성 영역을 구비하는 이중 게이트 구조의 FET가 형성된다. 물론, 이중 게이트 구조뿐만 아니라 삼중 게이트 구조와 같은 소위 다중 게이트 구조(서로 적층로 접촉된 2개 이상의 채널 형성 영역을 구비하는 구조)도 역시 사용될 수 있다.

다중 게이트 구조는 오프 전류의 값을 낮추는데 매우 효과적이고, 본 발명에서는 화소의 스위칭 FET(201)가 다중 게이트 구조로 되어 오프 전류 값이 낮은 스위칭 소자가 실현된다. 또한, 스위칭용 FET(201)에는 LDD 영역(15a 내지 15f)이 게이트 절연막(18)을 개재한 채로 게이트 전극(19a 내지 19c)과 겹쳐지지 않도록 마련된다. 그러한 구조는 오프 전류 값을 낮추는데 매우 효과적이다.

또한, 채널 형성 영역과 LDD 영역과의 사이에 오프셋 영역(채널 형성 영역과 동일한 조성이고 게이트 전압이 인가되지 않는 영역)을 마련하는 것이 오프 전류 값을 낮추는데 더욱 바람직하다. 또한, 2개 이상의 게이트 전극을 구비한 다중 게이트가 사용될 경우에는 채널 형성 영역 사이에 고농도 불순물 영역을 마련하는 것이 오프 전류 값을 낮추는데 효과적이다.

전술된 바와 같이, 다중 게이트 구조의 FET가 화소의 스위칭용 FET(201)로서 사용될 경우에는 오프 전류 값이 충분히 낮게 될 수 있다. 오프 전류 값이 낮다는 것은 전류 제어용 FET의 게이트에 인가되는 전압이 보다 더 오랜 시간동안 유지될 수 있다는 것을 의미하고, 일본 공개특허공고 평10-189252호의 도 2에 도시된 바와 같은 전위 유지용 캐패시터가 감축되거나 생략되더라도 전류 제어용 FET의 게이트 전압이 다음 기록 주기까지 유지될 수 있다는 장점이 얻어진다.

전류 제어용 FET(202)는 소스 영역(31), 드레인 영역(32), LDD 영역(33), 채널 형성 영역(34), 게이트 절연막(18), 게이트 전극(35), 제1 층간절연막(20), 소스 배선 라인(36), 및 드레인 배선 라인(37)으로 이루어

어진다. 또한, 게이트 전극(35)은 단일 게이트 구조의 것이지만 다중 게이트 구조도 역시 사용될 수 있다.

스위칭용 FET(201)의 드레인온 전류 제어용 FET(202)의 게이트에 접속된다. 특히, 전류 제어용 FET(202)의 게이트 전극(35)은 드레인 배선 라인(22)을 통해 스위칭용 FET(201)의 드레인 영역(14)에 전기적으로 접속된다. 또한, 소스 배선 라인(36)은 전류 공급 라인(전원 공급 라인으로서 지칭되기도 함)(212)에 전기적으로 접속된다(도 2A를 참조).

전류 제어용 FET(202)는 EL 소자(203)에 주입되는 전류의 양을 제어하기 위한 소자이고, EL 소자의 열화되는 측면에서 큰 전류를 흐르게 하는 것은 바람직하지 않다. 따라서, 채널 길이(L)를 충분히 길게 설계하여 전류 제어용 FET(202)를 통해 과도한 전류가 흐르지 않도록 하는 것이 바람직하다. 전류는 화소당 0.5 내지 2  $\mu\text{A}$ (바람직하게는 1 내지 1.5  $\mu\text{A}$ )로 되도록 설계되는 것이 좋다.

전술한 바에 의거하면, 도 8에 도시된 바와 같이, 스위칭용 FET의 채널 길이를 'L1(L1 = L1a + L1b + L1c)', 그리고 그 채널 폭을 'W1'이라 하고, 전류 제어용 FET의 채널 길이를 'L2', 그리고 그 폭을 'W2'라 할 때에 'W1'은 0.1 내지 5  $\mu\text{m}$ (전형적으로는 0.5 내지 2  $\mu\text{m}$ ), 그리고 'W2'는 0.5 내지 10  $\mu\text{m}$ (전형적으로는 2 내지 5  $\mu\text{m}$ )인 것이 바람직하다. 또한, 'L1'은 0.2 내지 18  $\mu\text{m}$ (전형적으로는 2 내지 15  $\mu\text{m}$ ), 그리고 'L2'는 1 내지 50  $\mu\text{m}$ (전형적으로는 10 내지 30  $\mu\text{m}$ )인 것이 바람직하다. 그러나, 본 발명의 그러한 수치 값에 한정되지 않는다.

또한, 스위칭용 FET(201)에 형성되는 LDD 영역의 길이(폭)는 0.5 내지 3.5  $\mu\text{m}$ , 전형적으로는, 2.0 내지 2.5  $\mu\text{m}$ 로 될 수 있다.

또한, 도 1에 도시된 EL 표시장치는 전류 제어용 FET(202)에서 LDD 영역(33)이 드레인 영역(32)과 채널 형성 영역(34)과의 사이에 마련되고, LDD 영역(33)이 게이트 절연막(18)의 개재 하에 게이트 전극(35)과 겹쳐지는 것을 그 특징으로 한다.

전류 제어용 FET(202)는 EL 소자(203)를 발광시키기 위한 전류를 공급하기 때문에, 도 1에 도시된 바와 같이 핫 캐리어 주입으로 인한 열화에 대비하여 조치를 취하는 것이 바람직하다. 도 1의 LDD 영역의 배열은 핫 캐리어 주입으로 인한 열화에 대비한 조치로서 취해진 구조이다. 또한, 오프 전류를 함께 억제하기 위해 LDD 영역을 게이트 전극의 일부와 겹쳐지도록 하는 것이 아울러 효과적이다. 그 경우, 게이트 전극과 겹쳐지는 영역은 핫 캐리어 주입을 억제하고, 게이트 전극과 겹쳐지지 않는 영역은 오프 전류 값을 억제한다. 또한, 전류 제어용 FET(202)에서의 캐리어(본 경우에는 전자)의 흐름 방향은 항상 동일하기 때문에, LDD 영역(33)이 드레인 영역(31)의 옆에 마련되지만 한다면, 그것은 핫 캐리어에 대비한 조치로서 충분하다.

그 경우, 게이트 전극과 겹쳐지는 LDD 영역의 길이는 0.1 내지 3  $\mu\text{m}$ (바람직하게는 0.3 내지 1.5  $\mu\text{m}$ )로 되는 것이 적절하다. 게이트 전극과 겹쳐지지 않는 LDD 영역이 마련되는 경우에는 그 길이가 1.0 내지 3.5  $\mu\text{m}$ (바람직하게는 1.5 내지 2.0  $\mu\text{m}$ )로 되는 것이 적절하다.

또한, 게이트 절연막을 개재한 재료 게이트 전극과 겹쳐지는 활성 층과 게이트 전극과의 사이에 형성되는 기생 커패시턴스를 전위 유지용(전기적 충전 유지용) 커패시터로서 적극적으로 활용하는 것도 가능하다.

본 실시예에서는 도 1에 도시된 LDD 영역(33)을 형성함으로써 게이트 전극(35)과 활성 층(특히, LDD 영역(33))과의 사이의 게이트 커패시턴스가 커지게 되고, 일본 공개특허공고 평10-189252호의 도 2에 도시된 바와 같이 그 게이트 커패시턴스가 전위 유지용 커패시터로서 사용된다. 물론, 커패시터가 별도로 형성될 수도 있지만, 본 실시예에서와 같은 구조가 사용될 경우에는 전위 유지용 커패시터를 사용하지 않아도 된다.

특히, 본 발명의 EL 표시장치가 디지털 구동 시스템으로 동작하게 될 경우에는 전위 유지용 커패시터를 매우 작게 해도 좋다. 예를 들어, 커패시턴스는 아날로그 구동 시스템에 비해 약 1/5 또는 약 1/10로 될 수 있다. 구체적인 수치 값은 스위칭용 FET 및 전류 제어용 FET의 성능에 따라 달라져서 일반적으로 나타낼 수는 없지만, 5 내지 30 fF(femtofarad)로도 충분할 수 있다.

또한, 스위칭용 FET의 구조가 도 1에 도시된 다중 게이트 구조로 되고 오프 전류 값이 작게 된다면, 전위 유지를 위해 커패시터에 의해 요구되는 커패시턴스도 역시 작게 된다.

또한, 본 실시예에서는 전류 제어용 FET(202)가 단일 게이트로서 도시되어 있지만, 다수의 FET가 서로 직렬로 접속되어 있는 다중 게이트 구조도 역시 사용될 수 있다. 또한, 다수의 FET를 서로 병렬로 접속함으로써 채널 형성 영역이 실질적으로 다수의 부분으로 분할되어 열 방사가 높은 효율로 이루어질 수 있도록 한 그러한 구조도 사용될 수 있다. 그러한 구조는 열로 인한 열화에 대비한 조치로서 효과적이다.

도면 부호 '38'은 제1 패시베이션막을 지시하고 있는데, 그것의막 두께는 10 nm 내지 1  $\mu\text{m}$ (바람직하게는 200 내지 500 nm)로 될 수 있다. 그 재료로서는 규소를 함유한 절연막(특히, 바람직한 것은 질화산화 규소막 또는 질화규소막)이 사용될 수 있다. 또한, 제1 패시베이션막(38)이 열 방사 효과를 보유하도록 하는 것이 효과적이다.

제1 패시베이션막(38) 상에는 제2 중간절연막(평탄화막)(39)이 형성되어 FET에 의해 형성된 단이 진 부분이 평탄화된다. 제2 중간절연막(39)으로서의 유기 수지막이 바람직하고, 폴리이미드, 폴리이미드, 이크릴 수지, BCB(벤조시클로부텐) 등이 사용될 수 있다. 물론, 충분히 평탄하게 될 수 있다는 전제 하에 무기물 막을 사용할 수도 있다.

제2 중간절연막(39)에 의해 FET로 인한 단이 진 부분을 평탄화하는 것은 매우 중요하다. 이후에 형성되는 EL 층은 매우 얇기 때문에, 단이 진 부분의 존재로 인해 일정한 발광이 일어나는 경우가 있다. 따라서, 화소 전극을 형성하기 전에 평탄화를 실행하여 가능한 한 평탄한 표면 상에 EL 층이 형성될 수 있도록 하는 것이 바람직하다.

도면 부호 '40'은 반사율이 높고 열 손실이 낮은 도전성막으로 이루어진 화소 전극(EL 소자의 음극)을 지

사하고 있는데, 그것은 제2 증간절연막(39) 및 제1 패시베이션막(38)에 콘택트 홀(개구 홀)을 형성한 후에 전류 제어용 FET(202)의 드레인 배선 라인(37)에 접속되도록 형성된다. 화소 전극(40)으로서는 알루미늄 합금 또는 구리 합금과 같이 저항이 낮은 도전성막을 사용하는 것이 바람직하다. 물론, 다른 도전성막과의 적층 구조가 사용될 수도 있다.

그 다음으로, 절연막(41)이 화소 전극(40)의 단부 부분(코너 부분)을 덮도록 형성된다. 그것은 발광층의 유기 EL 재료가 화소 전극(40)의 단부 부분에 형성될 때에 전계의 농도에 의해 심하게 열화될 우려가 있기 때문이다. 그러한 절연막(41)은 화소간(화소 전극간)의 갭을 충전하도록 형성된다.

그 다음으로, 발광층(42)으로서 EL 재료가 형성된다. EL 재료로서는 유기 EL 재료와 무기 EL 재료가 모두 사용될 수 있지만, 구동 전압이 낮은 유기 EL 재료가 바람직하다. 또한, 유기 EL 재료로서는 저분자(단량체) 유기 EL 재료와 고분자(중합체) 유기 EL 재료가 모두 사용될 수 있다.

단량체 유기 재료로서는 Alq3(트리스-8-퀴노리라이드-알루미늄) 또는 DSA(디스티릴아릴렌 유도체)가 대표적으로 알려져 있지만, 다른 공지의 재료를 사용할 수도 있다.

또한, 중합체 EL 재료로서는 폴리파라페닐렌 비닐렌(PPV)계, 폴리비닐카르바졸(PVK)계, 폴리플루오렌계 등을 열거할 수 있다. 물론, 다른 공지의 재료를 사용할 수도 있다. 특히, 시아노 폴리페닐렌 비닐렌은 적색 광을 발광하는데, 폴리페닐렌 비닐렌은 녹색 광을 발광하는데, 그리고 폴리페닐렌 비닐렌 또는 폴리알킬 페닐렌은 청색 광을 발광하는데 각각 사용될 수 있다. 막 두께는 30 내지 150 nm(바람직하게는 40 내지 100 nm)로 되는 것이 적절하다.

또한, 항광 재료(전형적으로 쿠말렌 6, 루브렌, 나일 레드, DCM, 퀴니크리돈 등)를 발광층에 첨가하여 발광 중심을 항광 재료로 옮김으로써 원하는 발광을 얻는 것도 역시 가능하다. 임의의 공지의 항광 재료가 사용될 수 있다.

단량체 유기 EL 재료가 발광층(42)에 사용될 경우에는 그 층이 진공 증발 방법에 의해 형성되는 것이 적절하다. 중합체 유기 EL 재료가 사용될 경우에는 스프인 코팅 방법, 인쇄 방법, 잉크젯 방법, 또는 분배 방법이 사용될 수 있다. 그러나, 중합체 유기 EL 재료의막이 형성될 경우에는 처리 분위기를 최소한의 수분을 함유한 불활성 가스 분위기로 하는 것이 바람직하다. 예를 들어, 중합체 유기 EL 재료는 스프인 코팅 방법에 의해 형성된다.

중합체 유기 EL 재료는 통상의 압력 하에서 형성되지만, 유기 EL 재료가 수분 또는 산소의 존재에 의해 쉽게 열화되기 때문에, 그러한 요소를 최대한으로 제거하는 것이 필요하다. 그를 위해, 발광층의 형성 정치를 불활성 가스로 충전된 청정 부스 속에 배치하여 발광층의막 형성 공정을 그러한 분위기에서 실행하는 것이 바람직하다.

전술된 형식으로 발광층(42)이 형성된 후에는 그 다음으로 홀 주입 층(43)이 형성된다. 홀 주입 층(43)으로서는 TP0(트리페닐아민 유도체), CuPc(구리 프탈로시아닌), 또는 m-MDATA(스타바스트 아민)과 같은 단량체 유기 재료나 PEDOT(폴리에터옥센) 또는 PANi(폴리아닐린)와 같은 중합체 유기 재료가 사용된다. 물론, 무기 재료도 사용될 수 있다.막 두께는 3 내지 20 nm(바람직하게는 5 내지 15 nm)로 될 수 있다.

그러나, 전술된 예는 단지 발광층 또는 홀 주입 층에 사용될 수 있는 유기 재료의 예시에 지나지 않고, 본 발명은 그러한 재료에 한정되지 않는다. 또한, 본 경우에는 발광층과 홀 주입 층의 조합이 예시되어 있지만, 그 외에도 홀 이송 층, 전자 주입 층, 전자 이송 층, 홀 차단 층, 또는 전자 차단 층이 조합될 수도 있다.

홀 주입 층(43) 상에는 투명 도전성막으로 이루어진 양극(44)이 마련된다. 그러한 형식의 경우에는 발광층(42)에서 발생한 광이 FET로부터 멀어지는 방향으로 방사되기 때문에, 양극이 반투명(투명)해야 한다. 투명 도전성막으로서는 산화인듐과 산화주석과의 화합물 또는 산화인듐과 산화이연과의 화합물이 사용될 수 있지만, 열 저항이 낮은 발광층과 홀 주입 층이 형성된 후에 그막이 형성되기 때문에, 가능한 한 낮은 온도에서막을 형성할 수 있는 재료를 사용하는 것이 바람직하다.

양극(44)이 형성된 시점에서 EL 소자(203)가 완성된다. 또한, 본 경우의 EL 소자(203)는 화소 전극(음극)(40), 발광층(42), 홀 주입 층(43), 및 양극(44)으로 형성되는 커패시터를 가리킨다. 도 2A에 도시된 바와 같이, 화소 전극(40)은 화소의 면적과 거의 일치하기 때문에, 전체의 화소가 EL 소자로서 기능한다. 따라서, 발광의 활용 효율이 매우 높아서 선명한 화상 디스플레이가 가능하게 된다.

본 형식에서는 음극(44) 상에 제2 패시베이션막(45)이 추가로 마련된다. 제2 패시베이션막(45)으로서는 절화규소막 또는 절화산화 규소막이 바람직하다. 제2 패시베이션막(45)의 목적은 EL 소자를 외부로부터 차단시키는 것이고, 그것은 산화로 인한 유기 EL 재료의 열화를 방지한다는 것과 유기 EL 재료로부터의 가스 제거를 억제한다는 것의 2가지 의미가 있는 것이다.

또한, 본 발명의 EL 표시장치는 각각 도 1에 도시된 바와 같은 구조로 된 화소들에 의해 이루어지는 화소부를 포함하고, 상이한 구조의 FET가 그 역할에 따라 화소에 배치된다. 그에 의해, 오프 전류 값이 충분히 낮은 스위칭용 FET 및 핫 캐리어에 대한 저항성이 있는 전류 제어용 FET가 동일한 화소에 형성될 수 있음으로써 신뢰성이 높고 탁월한 화상 디스플레이를 할 수 있는 EL 표시장치가 얻어질 수 있게 된다.

또한, FET의 제작과 관련하여, 종래의 IC 및 LSI의 모든 공지의 기술이 사용될 수 있기 때문에, 전기 특성이 변동이 적은 FET를 제작하는 것이 가능하다. 그에 의해, 화소간에 EL 소자의 발광 특성의 변동이 적고 컬러 재현성이 높은 EL 표시장치를 제작할 수 있게 된다.

[실시예 1]

본 발명의 실시예를 도 3 내지 도 5를 사용하여 설명하기로 한다. 본 실시예에서는 화소 부분 및 그 화소 부분의 외주에 형성되는 구동회로부의 FET를 동시에 제작하는 방법에 관해 설명하기로 한다. 설명을 간단히 하기 위해, 구동회로용 기본 회로로서 CMOS 회로를 예시함을 유의해야 할 것이다.

우선, 도 3A에 도시된 바와 같이 공지의 LOCOS 방법(규소의 부분 산화)에 의한 산화물 규소를 구비하는 p

형 단결정 규소 기판(300) 상에 전계 절연막(301)을 형성한다. n형 전도성을 부여하는 불순물 원소(이후로 n형 불순물 원소로서 지칭됨)를 첨가하여 n 우물(302)을 형성한다. 일반적으로 n형 불순물 원소로서 주기율표 15족에 있는 원소. 전형적으로 인 또는 비소를 사용할 것을 유의해야 할 것이다.

그 다음, 도 38에 도시된 바와 같이 두께가 130 nm인 산화규소막으로 보호막(303)을 형성한다. 그러한 두께는 100 내지 200 nm(바람직하게는 130 내지 170 nm)의 범위 내에서 선택될 수 있다. 또한, 규소를 함유한 절연막임을 전제로 하여 다른막을 사용할 수도 있다. 보호막(303)은 불순물의 첨가 중에 단결정 규소막이 플라즈마에 직접 노출되지 않아서 불순물의 농도를 섬세하게 제어하는 것이 가능하게 되도록 형성되는 것이다.

이어서, 보호막(303) 상에 레지스트 마스크(304a 내지 304c)를 형성하고, 보호막(303)을 경유하여 n형 불순물 원소를 첨가한다. 본 실시예에서는 질량의 분리가 없이 포스핀(PH<sub>3</sub>)이 플라즈마에 의해 활성화되는 플라즈마 도핑 방법을 사용하고, 인을  $1 \times 10^{19}$  원자/cm<sup>2</sup>의 농도로 첨가함을 유의해야 할 것이다. 물론, 질량의 분리가 이루어지는 이온 주입 방법을 사용할 수도 있다.

n형 불순물 원소가 n형 불순물 영역(305, 306)에 포함되어 그 공정에 의해  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  원자/cm<sup>2</sup>(전형적으로  $5 \times 10^{17}$  내지  $5 \times 10^{18}$  원자/cm<sup>2</sup>)의 농도로 형성되도록 투여량을 조절한다.

그 다음, 도 39에 도시된 바와 같이 레지스트 마스크(304a 내지 304c) 및 보호막(303)을 제거하고, 열 산화 방법을 실행하여 게이트 절연막(307)을 형성한다. 그 때에, 첨가된 n형 불순물 원소의 활성화가 이루어진다. 산화 시간 및 산화 온도를 조절하여 열 산화막을 30 내지 80 nm(바람직하게는 40 내지 60 nm)의 두께로 형성하도록 한다.

그러한 공정에 의해 n형 불순물 영역(305, 306)의 예지, 즉 n형 불순물 영역(305, 306)과 그 n형 불순물 영역(305, 306)의 둘레에 있고 n형 불순물 원소가 첨가되지 않은 영역간의 경계(접합부)가 명확히 구별된다. 그것은 추후 FET기 완성될 때에 LDD 영역과 채널 형성 영역간에 극히 양호한 집합이 이루어질 수 있음을 의미한다.

그 다음, 도 39에 도시된 바와 같이 두께가 200 내지 400 nm인 도전성막을 형성하고 패터닝하여 게이트 전극(308 내지 312)을 형성한다. 또한, 단일 층 도전성막에 의해 게이트 배선을 형성할 수 있고, 필요한 경우에는 2층 또는 3층의 적층막을 사용하는 것이 바람직하다. 게이트 전극 재료로서는 공지의 모든 도전성막을 사용할 수 있다. 그러나, 전술된 바와 같이 미세하게 처리될 수 있는 재료, 특히 2 μm 이하의 선 폭으로 패터닝될 수 있는 재료를 사용하는 것이 바람직하다.

전형적으로, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 규소(Si)로부터 선택된 원소로 이루어진막, 그들 원소의 질화물막(전형적으로 질화탄탈막, 질화텅스텐막, 또는 질화티탄막), 그들 원소를 조합한 합금막(전형적으로 Mo-W 합금 또는 Mo-Ta 합금), 또는 그들 원소의 규화물막(전형적으로 규화텅스텐막 또는 규화티탄막)을 사용할 수 있다. 물론, 단일 층막 또는 적층막을 사용할 수 있다.

본 실시예에서는 두께가 30 nm인 질화텅스텐(WN)과 두께가 370 nm인 텅스텐(W)막과의 적층막을 사용한다. 그것은 스퍼터링 방법에 의해 형성할 수 있다. Xe, Ne 등의 불활성 기스를 스퍼터링 기스로서 첨가하면, 응력으로 인한막의 벗겨짐을 방지할 수 있다.

그 때, 게이트 전극(308 내지 312)을 n형 불순물 영역(305, 306)의 일부와 겹쳐지도록 하면서 그 사이에 게이트 절연막(311)이 개재되도록 형성한다. 그와 같이 겹쳐진 부분은 추후에 핫 캐리어의 주입을 억제하는 LDD 영역이 된다.

그 다음, 도 40에 도시된 바와 같이 n형 불순물 원소(본 실시예에서는 인을 사용함)를 마스크로서의 게이트 전극(308 내지 312)과 자중 정렬되는 형식으로 첨가한다. 불순물 영역(313 내지 319)에 인이 첨가되어 n형 불순물 영역(305, 306)의 인의 농도의 1/10 내지 1/2(전형적으로 1/4 내지 1/3)의 인의 농도로 그 영역이 형성되도록 n형 불순물 원소의 첨가를 조절한다. 특히,  $1 \times 10^{18}$  내지  $5 \times 10^{18}$  원자/cm<sup>2</sup>(전형적으로는  $3 \times 10^{17}$  내지  $3 \times 10^{18}$  원자/cm<sup>2</sup>)의 농도가 바람직하다.

그 다음, 도 40에 도시된 바와 같이 레지스트 마스크(320a 내지 320c)를 형성하고, n형 불순물 원소(본 실시예에서는 인을 사용함)를 첨가하여 고농도의 인을 함유한 불순물 영역(321 내지 327)을 형성한다. 본 경우에는 포스핀(PH<sub>3</sub>)을 사용하는 이온 도핑을 아울러 실행하는데, 그 불순물 영역의 인의 농도가  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  원자/cm<sup>2</sup>(전형적으로는  $2 \times 10^{20}$  내지  $5 \times 10^{20}$  원자/cm<sup>2</sup>)로 되도록 이온 도핑을 조절한다.

그러한 공정에 의해 n채널형 FET의 소스 영역 또는 드레인 영역이 형성되고, 스위칭용 FET에서는 도 4A의 공정에 의해 형성된 n형 불순물 영역(316 내지 318)의 일부가 잔존하게 된다. 그러한 잔존 영역은 도 1의 스위칭용 FET의 LDD 영역(15a 내지 15f)에 해당한다.

그 다음, 도 4C에 도시된 바와 같이 레지스트 마스크(3204a 내지 320c)를 제거하고 새로운 레지스트 마스크(328)를 형성한다. 이어서, p형 불순물 원소(본 실시예에서는 붕소를 사용함)를 첨가하여 고농도의 붕소를 함유한 불순물 영역(329, 330)을 형성한다. 본 경우에는 디보란(B<sub>2</sub>H<sub>6</sub>)을 사용하는 이온 도핑에 의해  $3 \times 10^{20}$  내지  $3 \times 10^{21}$  원자/cm<sup>2</sup>(전형적으로는  $5 \times 10^{20}$  내지  $1 \times 10^{21}$  원자/cm<sup>2</sup>)의 농도로 붕소를 첨가한다.

불순물 영역(329, 330)에는 이미 인이  $1 \times 10^{20}$  내지  $1 \times 10^{21}$  원자/cm<sup>2</sup>의 농도로 첨가되어 있지만, 본 경우에 붕소는 그 인의 농도의 3배 이상의 농도로 그 영역에 첨가됨을 유의해야 할 것이다. 따라서, 이미 형성되어 있는 n형 불순물 영역이 완전히 p형으로 반전되어 p형 불순물 영역으로서 기능하게 된다.

그 다음, 레지스트 마스크(328)를 제거한 후에 여러 농도로 첨가된 n형 및 p형 불순물 원소를 활성화시킨다. 노 어닐, 레이저 어닐, 또는 램프 어닐을 활성화 수단으로서 실행할 수 있다. 본 실시예에서는 질소

분위기 하의 전기로 중에서 1시간 동안 800℃의 온도로 열처리를 실행한다.

전술된 활성화를 실행하기 전에 게이트 절연막(307)을 마스크로서의 게이트 전극(308 내지 312)이 자동 정렬되는 형식으로 제거한다. 공지의 규화 공정을 실행하고, FET의 소스 영역과 드레인 영역 상에 규화물 층을 형성할 수 있다. 그 때에 열처리를 아울러 실행하여 전술된 활성화 시에 규화물 층을 형성할 수 있다.

그 다음, 도 40에 도시된 바와 같이 제1 층간절연막(331)을 형성한다. 제1 층간절연막(331)으로서는 규소를 함유한 단일 층 절연막을 사용하지만, 적층막을 중간에 결합할 수도 있다. 또한, 400 nm 내지 1.5  $\mu\text{m}$ 의 막 두께를 사용한다. 본 실시예에서는 두께가 800 nm인 산화규소막과 두께가 200 nm인 질화산화규소막과의 적층 구조를 사용한다.

또한, 3 내지 100%의 수소를 함유한 분위기 중에서 1 내지 12시간 동안 300 내지 450℃의 온도로 열처리를 실행하여 수소 첨가를 실행한다. 그러한 공정은 일로 활성화된 수소에 의해 반도체막에 있는 덩굴링 본드(dangling bond)를 포화시키는 수소 증결 처리 중의 하나이다. 수소 첨가의 다른 수단으로서 플라즈마 수소 첨가(플라즈마에 의해 활성화된 수소를 사용함)를 실행할 수도 있다.

수소 첨가 단계는 제1 층간절연막(331)의 형성 중에 개재될 수도 있음을 유의해야 할 것이다. 즉, 두께가 200 nm인 질화산화 규소막을 형성한 후에 전술된 바와 같이 수소 처리를 실행하고, 이어서 두께가 800 nm인 산화규소막을 형성할 수도 있다.

그 다음, 제1 층간절연막(331)에 콘택트 홀을 형성하고, 소스 배선 라인(332 내지 335) 및 드레인 배선 라인(336 내지 338)을 형성한다. 본 실시예에서는 그러한 배선 라인이 스퍼터링 방법에 의해 연속적으로 형성되는 두께가 100 nm인 티탄막, 두께가 300 nm인 티탄 함유 알루미늄막, 및 두께가 150 nm인 티탄막의 3층 구조의 적층막으로 이루어진다. 물론, 다른 도전성막도 사용될 수 있다.

그 다음, 두께가 50 내지 500 nm(전형적으로, 200 내지 300 nm)인 제1 패시베이션막(339)을 형성한다. 본 실시예에서는 두께가 300 nm인 질화산화규소막을 제1 패시베이션막(339)으로서 사용한다. 그것은 질화규소막으로 대체될 수도 있다. 질화산화규소막을 형성하기 전에  $\text{H}_2$  또는  $\text{NH}_3$  등과 같은 수소 함유 가스를 사용하여 플라즈마 처리를 실행하는 것이 효과적임을 유의해야 할 것이다. 그러한 처리에 의해 활성화된 수소는 제1 층간절연막(331)에 공급되고, 제1 패시베이션막(339)의 막 특성은 열처리의 실행에 의해 개선된다. 그와 동시에, 제1 층간절연막(331)에 첨가된 수소가 하부 층으로 확산하여 활성 층에 효과적인 수소 첨가가 이루어질 수 있게 된다.

그 다음, 유기 수지로 이루어진 제2 층간절연막(340)을 형성한다. 유기 수지로서는 폴리이미드, 폴리이미드, 아크릴, BCB(벤조시클로부텐) 등과 같은 재료를 사용할 수 있다. 특히, 제2 층간절연막(340)은 주로 평탄화를 위해 사용되므로, 평탄화 특성이 우수한 아크릴을 사용하는 것이 바람직하다. 본 실시예에서는 FET에 의해 형성되는 단위 전 부분을 평탄화시키는데 충분한 두께로 아크릴막을 형성한다. 그러한 두께는 1 내지 5  $\mu\text{m}$ (더욱 바람직하게는 2 내지 4  $\mu\text{m}$ )인 것이 적절하다.

그 다음, 제2 층간절연막(340) 및 제1 패시베이션막(339)을 통해 드레인 배선 라인(338)에 도달되는 콘택트 홀을 형성하고, 화소 전극(341)을 형성한다. 본 실시예에서는 화소 전극(341)으로서 두께가 300 nm인 알루미늄 합금막(1 중량 %의 티탄을 함유한 알루미늄막)을 사용한다.

그 다음, 도 58에 도시된 바와 같이 절연막(342)을 형성한다. 유기 수지막의 패터닝에 의해 그러한 절연막(342)을 형성하거나 두께가 10 내지 300 nm인 규소를 그러한 절연막이 함유하도록 한다. 그러한 절연막(342)을 화소(화소 전극)간의 공간을 충전하도록 형성한다. 그러한 절연막(342)은 다음에 형성되는 발광층의 유기 EL 재료가 화소 전극(341)의 애지 부분과 겹쳐지지 않도록 하기 위해 형성되는 것이다.

그 다음, 스프인 코팅 방법에 의해 발광층(343)을 형성한다. 특히, 발광층(343)이 되는 유기 EL 재료를 클로로포름, 디클로로메탄, 크실렌, 톨루엔, 및 테트라하이드로푸란과 같은 용매 중에 용해한 후에 도포한다. 이어서, 열처리를 실행하여 용매를 증발시킨다. 그와 같이 하여, 유기 EL 재료로 이루어진막(발광층)을 형성한다. 본 실시예에서는 녹색 발광하는 발광층에 피라페닐렌 비닐렌을 사용한다. 그러한 발광층을 두께가 50 nm로 되도록 형성한다. 또한, 1,2-디클로로메탄을 용매로서 사용한 후에 80 내지 150 °C로 1분 동안 열처리를 실행하여 그 용매를 증발시킨다.

그 다음, 홀 주입 층(344)을 두께가 20 nm로 되도록 형성한다. 홀 주입 층(344)은 모든 화소에 공통적으로 마련될 수 있기 때문에, 스프인 코팅 방법을 사용하여 홀 주입 층(344)을 형성하는 것이 적절하다. 본 실시예에서는 폴리타오펜(PEDOT)을 용액으로서 도포하고 핫 플레이트에서 100 내지 150 °C로 1 내지 5분 동안 열처리를 실행하여 그 수분을 증발시킨다. 그 경우, 폴리페닐렌 비닐렌이 불용성이기 때문에, 발광층(343)을 용해시킴이 없이 홀 주입 층(344)을 형성할 수 있다.

다른 조합체 유기 재료 및 단량체 유기 재료를 홀 주입 층(344)으로서 사용할 수 있다. 단량체 유기 재료를 사용할 경우에는 증발 방법을 사용하여 홀 주입 층(344)을 형성할 수 있다. 무기 재료도 역시 사용할 수 있다.

본 실시예에서는 발광층과 홀 주입 층을 이루어진 2층 구조를 형성한다. 그러나, 홀 이송 층, 전자 주입 층, 및 전자 이송 층과 같은 다른 층을 마련할 수도 있다. 그러한 층이 조합된 각층의 적층 구조의 예가 보고된 바 있고, 본 발명에서는 임의의 구조를 사용할 수 있다.

발광층 및 전자 이송 층의 4층 구조로 EL 층을 사용하지만, 전자 이송 층이 형성되지 않는 경우 또는 전자 주입 층이 형성되는 경우도 있을 수 있다. 또한, 홀 주입 층이 생략되는 경우도 역시 있을 수 있다. 그러한 유형의 수 개의 조합의 예들이 보고되어 있고, 그들 중의 임의의 구조를 사용할 수 있다.

발광층(343)과 홀 주입 층(344)을 형성한 후에는 일 함수가 작은 투명 도전성막으로 이루어진 양극(345)을 두께가 120 nm가 되도록 형성한다. 본 실시예에서는 10 내지 20 중량 %의 산화아연으로 도핑된 산화인듐을 그러한 투명 도전성막에 사용한다. 막 증착 방법에서와 같이, 실온에서 증발 방법을 사용하여 발광층을 그러한 투명 도전성막에 사용한다. 막 증착 방법에서와 같이, 실온에서 증발 방법을 사용하여 발광층을 그러한 투명 도전성막에 사용한다.



(343)과 홀 주입 층(344)이 열화되지 않도록 하는 것이 바람직하다.

양극(345)을 형성한 후에는 질화산화규소막으로 이루어진 제2 패시베이션막(346)을 플라즈마 CVD에 의해 두께가 300 nm로 되도록 형성한다. 그 시점에는막 증착 온도에 주의할 기울이는 것이 아울러 요구된다. 원적 플라즈마 CVD를 사용하여막 증착 온도를 낮출 수도 있다.

그와 같이 하여, 도 5B에 도시된 바와 같은 구조로 된 액티브 매트릭스 기판을 완성한다. 절연막(342)의 형성 후에는 제2 패시베이션막(346)을 형성할 때까지 연속적으로 대기 중에 노출시킬 필요없이막을 형성하는 공정을 위한막 증착 장치의 다중 챔버 방법(또는 인-라인 방법)을 사용하는 것이 효과적임을 유의해야 할 것이다.

본 실시예의 액티브 매트릭스 기판에서는 화소부에서만이 아니라 구동회로부에서도 최적의 구조로 된 FET가 배치되고, 그에 의해 그 액티브 매트릭스 기판이 매우 높은 신뢰성을 나타내고, 그 동작 성능이 증대된다.

우선, 그 동작 속도를 떨어뜨림이 없이 한 캐리어 주입을 최대한으로 감소시키는 구조로 된 FET가 구동회로를 형성하는 CMOS 회로의 n채널형 FET(205)로서 사용된다. 본 경우에는 구동회로가 시프트 레지스터, 버퍼, 레벨 시프터, 샘플링 회로(샘플 및 홀드 회로), D/A 컨버터 등을 포함한다. 본 실시예의 경우에는 도 5B에 도시된 바와 같이 n채널형 FET(205)의 활성 층이 소스 영역(355), 드레인 영역(356), LDD 영역(357), 및 채널 형성 영역(358)로 이루어진다. LDD 영역(357)과 게이트 전극(309)은 그 사이에 게이트 절연막(307)을 개재한 채로 서로 겹쳐진다. 그러한 구조는 전류 제어용 FET(202)의 구조에서도 동일하다.

동작 속도를 떨어뜨리지 않으려고 고려한 것이 바로 드레인 영역 측에만 LDD 영역을 형성하는 이유이다. 그러한 n채널형 FET(205)에서는 오프 전류 값에 너무 지나치게 관심을 기울일 필요는 없고, 오히려 동작 속도를 더욱 증진하는 편이 더 낫다. 따라서, LDD 영역(357)은 게이트 전극과 완전히 겹쳐져서 저항 성분을 최소화 감소시키도록 하는 것이 바람직하다.

CMOS 회로의 p채널형 FET(206)는 소스 영역(329), 드레인 영역(330), 및 채널 형성 영역(359)을 포함한다. 또한, 한 캐리어 주입으로 인한 열화가 거의 무시될 수 있기 때문에, LDD 영역을 특별히 마련할 필요는 없지만, 그것을 마련할 수도 있다.

실제로, 도 5B까지를 완료한 후에는 가스 누출이 거의 없는 높은 기밀성의 보호막(적층막 또는 자외선 경화 수지막) 또는 투명한 밀봉 재료를 사용하여 추가적인 포장(밀봉)을 실행함으로써 대기와의 노출을 방지하는 것이 바람직함을 유의해야 할 것이다. 밀봉 재료의 내부를 불활성 분위기, 불활성 액체 재료, 및 불활성 고체 재료로 하고 건조제(예를 들어, 산화바륨)를 밀봉 재료 내에 배치함으로써 EL 층의 신뢰성이 개선된다.

포장 처리 등에 의해 기밀성을 향상시킨 후에는 기판 상에 형성된 소자 또는 회로로부터 나오는 출력 단자를 외부 신호 단자에 접속하기 위한 커넥터(가요성 인쇄 회로, FPC)를 부착하여 EL 소자를 사용한 전자 설비를 완성한다. 본 명세서의 전자 설비는 외부로부터의 신호를 입력하기 위한 커넥터 및 그 커넥터에 접속된 집적 회로를 포함하는 것이다.

이제, 본 실시예의 EL 표시장치의 구조의 예를 도 7을 참조하여 설명하기로 한다. 본 실시예의 EL 표시장치는 소스측 구동회로(701), 화소부(708), 및 게이트측 구동회로(709)로 이루어진다. 또한, 본 실시예에서의 구동회로부단 소스측 구동회로 및 게이트측 구동회로를 포함하는 포괄적인 용어이다.

본 실시예에서는 다중 게이트 구조로 된 n채널형 FET가 화소부(708)의 스위칭용 FET로서 마련되고, 그 스위칭용 FET는 게이트측 구동회로(709)에 접속된 게이트 배선 라인과 소스측 구동회로(701)에 접속된 소스 배선 라인과의 교차점에 배치된다. 또한, 스위칭용 FET의 드레인온 전류 제어용 FET의 게이트에 전기적으로 접속된다.

소스측 구동회로(701)는 시프트 레지스터(702), 버퍼(703), 래치(A)(704), 버퍼(705), 래치(B)(706), 및 버퍼(707)를 구비한다. 또한, 이날로고 구동 장치의 경우에는 래치(a) 및 래치(B) 대신에 샘플링 회로가 마련된다. 게이트측 구동회로(709)는 시프트 레지스터(710) 및 버퍼(711)를 구비한다.

또한, 도면에 도시되지는 않았지만, 화소부(708)를 경유하여 게이트측 구동회로(709)의 반대측에 게이트측 구동회로가 추가로 마련될 수 있다. 그 경우, 양측은 동일한 구조의 게이트 배선을 공동으로 구비하여 한 기 파괴될 경우에 다른 하나가 화소부를 정확하게 동작시키는 게이트 신호를 전송하게 된다.

전술된 구조는 도 3 내지 도 5에 도시된 제작 공정에 따라 FET를 제작함으로써 쉽게 실현될 수 있다. 본 실시예에서는 단지 화소부의 구조 및 구동회로의 구조만이 예시되어 있지만, 본 실시예의 제작 공정을 사용한다면 신호 분할 회로, D/A 컨버터 회로, 연산 증폭기 회로,  $\gamma$ -보정 회로와 같은 논리 회로를 동일한 기판 상에 형성하는 것이 가능하고, 아울러 메모리부, 마이크로프로세서 등도 형성할 수 있을 것으로 고려된다.

또한, EL 소자를 보호하는 밀봉 재료까지 포함하는 본 실시예의 EL 표시장치를 도 8A 및 도 8B를 참조하여 설명하기로 한다. 필요할 때에는 도 7에 사용된 도면 부호를 인용할 것임을 유의해야 할 것이다.

도 8A는 EL 소자를 보호하기 위한 밀봉 공정이 완료된 상태의 평면도를 나타낸 도면이다. 점선으로 나타낸 것 중에서 도면 부호 '701'은 소스측 구동회로를, 도면 부호 '708'은 화소부를, 그리고 도면 부호 '709'는 게이트측 구동회로를 각각 지시하고 있다. 도면 부호 '801'은 커버 재료를, 도면 부호 '802'는 제1 밀봉 부재를, 그리고 도면 부호 '803'은 제2 밀봉 부재를 각각 지시하고 있고, 액티브 매트릭스 기판과 제1 밀봉 부재(802)에 의해 에워싸인 내부 커버 재료와의 사이에는 충전 재료(도면에 도시를 생략함)가 마련된다.

또한, 도면 부호 '804'는 소스측 구동회로(701) 및 게이트측 구동회로(709)에 입력되는 신호를 전송하는 접속 배선을 지시하고 있다. 그러한 접속 배선은 외부 입력 단자 FPC(805)로부터의 비디오 신호 및 클럭 신호를 수신한다.

도 8A의 A-A' 선을 따른 단면도가 도 8B에 도시되어 있다. 도 8A와 도 8B에는 동일한 도면 부호가 사용되고 있음을 유의해야 할 것이다.

도 8B에 도시된 바와 같이, 화소부(708)와 게이트측 구동회로(709)는 단결정 규소 기판 상에 형성된다. 화소부(708)는 전류 제어용 FET(202)와 그 전류 제어용 FET(202)의 드레인에 전기적으로 접속된 화소 전극(341)을 포함하는 다수의 화소로 형성된다. 또한, 게이트측 구동회로(709)는 n채널형 FET(205)와 p채널형 FET(206)가 상보적으로 조합된 CMOS 회로를 사용하여 형성된다.

화소 전극(341)은 EL 소자의 음극으로서 기능한다. 또한, 화소 전극(341)의 양 단부 상에는 절연막(342)이 형성되고, 발광층(343)과 홀 주입 층(344)이 형성된다. 상단에는 EL 소자의 양극(345)과 제2 패시베이션막(346)이 추가로 형성된다.

본 실시예의 경우에는 양극(345)이 모든 화소에 공통된 배선으로서 기능하기도 하고, 접속 배선(804)을 통해 FPC(805)에 전기적으로 접속된다. 또한, 화소부(708) 및 게이트측 구동회로(709)에 포함된 모든 소자는 제2 패시베이션막(346)에 의해 덮여진다. 제2 패시베이션막(346)은 생략될 수 있지만, 외부로부터의 치폐를 위해 마련되는 것이 바람직하다.

그 다음, 디스플레이에 의해 제1 밀봉 부재(802)를 형성한 후에 스페이서(도면에 도시를 생략함)를 산재시켜 커버 재료(801)와 접착한다. 스페이서는 액티브 매트릭스 기판과 커버 재료(801)와의 사이에 일정 간격이 유지되도록 산재된다. 또한, 진공 주입 방법에 의해 제1 밀봉 부재(802)의 내부에 충전 재료(807)를 충전시킨다. 전술된 공정에서는 액정 디스플레이의 셀 조립 공정에 사용되는 기술이 사용될 수 있다. 제1 밀봉 부재(802)로서는 광 경화 수지를 사용하는 것이 바람직하지만, EL 층의 열 저항이 허용하는 한에는 열경화 수지를 사용할 수도 있다. 제1 밀봉 부재(802)는 가능한 한 적은 수분과 산소가 그것을 통해 전달되는 재료인 것이 바람직함을 유의해야 할 것이다. 또한, 제1 밀봉 부재(802)의 내부에 건조제를 첨가할 수도 있다.

그 다음, 충전 재료(807)를 EL 소자를 덮도록 제공한다. 충전 재료(807)는 커버 재료(801)를 접착하기 위한 접착재로서 기능하기도 한다. 충전 재료(807)로서는 폴리이미드, 아크릴, PVC(폴리비닐 클로라이드), 에폭시 수지, 규소 수지, PVH(폴리비닐 부티랄), 또는 EVA(에틸렌 비닐 아세테이트)가 사용될 수 있다.

충전 재료(807)의 내부에는 흡수 효과를 유지할 수 있기 때문에 건조제(도면에 도시를 생략함)를 배치하는 것이 바람직하다. 그러한 관점에서, 건조제는 충전 재료 속에 도포되는 제제 또는 충전 재료 속에 불함되는 제제일 수 있다. 또한, 전술된 스페이서(도면에 도시를 생략함)로서 흡수 재료를 사용하는 것이 효과적이다. 그러나, 본 실시예의 경우에는 투과성이 있는 재료가 사용됨으로써 충전 재료(807)의 옆으로부터 발광이 이루어지도록 한다.

또한, 본 실시예에서는 커버 재료(801)로서 유리 판, 석영 판, 플라스틱 판, 세라믹 판, FPC(섬유 유리 강화 플라스틱) 판, PVF(폴리비닐 플루오라이드)막, 밀라막(milar film), 폴리에스터막, 또는 아크릴막이 사용될 수 있다. 본 실시예에서는 커버 재료(801)가 충전 재료와 동일한 투과성이 있어야 한다.

충전 재료(807)를 사용하여 커버 재료(801)를 접착한 후에는 그 다음으로 제2 밀봉 부재(803)를 제1 밀봉 부재(802)의 측면(노출 면)을 덮도록 부착한다. 제2 밀봉 부재(803)로서는 제1 밀봉 부재(802)와 동일한 재료가 사용될 수 있다.

그와 같이 전술된 절차를 사용하여 EL 소자를 충전 재료 속에 밀봉함으로써 EL 소자가 외부 대기로부터 완전히 차단되어 EL 층의 산화로 인한 EL 소자의 열화를 촉진하는 수분 및 산소와 같은 물질이 외부로부터 침투되는 것이 방지된다. 따라서, 신뢰성이 높은 EL 표시장치가 제작될 수 있게 된다.

#### [실시예 2]

본 실시예에서는 화소의 구조가 도 2B에 도시된 구조와는 상이한 도 9에 도시된 화소 구조의 예를 설명하기로 한다. 본 실시예에서는 도면 부호 '901'이 스위칭용 FET(902)의 소스 배선을, 도면 부호 '903'이 스위칭용 FET(902)의 게이트 배선을, 도면 부호 '904'가 전류 제어용 FET를, 도면 부호 '905'가 커패시터를, 도면 부호 '906'과 '908'이 전류 공급 라인을, 그리고 도면 부호 '907'이 EL 소자를 각각 지시하고 있음을 유의해야 할 것이다.

커패시터(905)는 전류 제어용 FET(904)의 게이트 커패시턴스의 전위를 유지하기 위해 사용되는 것임을 유의해야 할 것이다. 그러한 커패시터(905)는 사실상 마련되지 않으므로, 점선으로 지시되어 있다.

도 9A는 전류 공급 라인(906)이 2개의 화소간에 공통적인 경우의 예이다. 즉, 그것은 2개의 화소가 전류 공급 라인(906)을 중심으로 선형 대칭적으로 형성된다는데 그 특징이 있다. 그와 같이 할 경우, 전류 공급 라인의 수가 감소될 수 있으므로, 화소부가 훨씬 더 고선명으로 될 수 있다.

또한, 도 9B는 전류 공급 라인(908)이 게이트 배선(903)에 대해 병렬로 형성되는 경우의 예이다. 도 9B에서는 전류 공급 라인(908)과 게이트 배선(903)이 겹쳐지지 않도록 하는 그러한 구조가 형성되어 있다. 양자의 라인이 각각 별개의 층에 형성된다면, 양자는 절연막을 개재한 채로 겹쳐지도록 형성될 수 있다. 그와 같이 할 경우, 전류 공급 라인(908) 및 게이트 배선(903)에 의해 전용 표면적이 공유될 수 있으므로, 화소부가 훨씬 더 고선명으로 될 수 있다.

또한, 도 9C는 전류 공급 라인(908)과 게이트 배선(903)이 도 9B와 유사하게 병렬로 형성되고, 아울러 2개의 화소가 전류 공급 라인(908)을 중심으로 선형 대칭적으로 되도록 형성되는 것을 그 특징으로 한다. 또한, 전류 공급 라인(908)은 게이트 배선(903a, 903b) 중의 하나와 겹쳐지도록 형성되는 것이 효과적이다. 그와 같이 할 경우, 전류 공급 라인의 수가 감소될 수 있으므로, 화소부가 훨씬 더 고선명으로 될 수 있다.

또한, 본 실시예의 화소 구조로 된 EL 표시장치를 제1 실시예의 전자 설비의 표시부로서 사용하는 것이 효과적이다.

[실시예 3]

본 실시예에서는 도 1에 도시된 전류 제어용 FET의 소자 구조가 상이한 것으로 되는 예를 도 10A 내지 도 10D를 참조하여 설명하기로 한다. 특히, LDD 영역의 배열이 상이한 것으로 되는 예를 설명하기로 한다. 또한, 도 1에 도시된 전류 제어용 FET의 부분과 동일한 부분은 동일한 도면 부호에 의해 지시된다.

도 10A에 도시된 전류 제어용 FET는 도 1에 도시된 전류 제어용 FET(2020)로부터 LDD 영역(33)이 생략된 것의 예이다. 도 1에 도시된 경우에는 스위칭용 FET(201)가 심층 구조로 되기 때문에 오프 전류 값이 매우 작고, 디지털 구동 시스템을 사용한다면 전류 제어용 FET(202A)의 게이트의 전위를 유지하기 위한 커패시터의 커패시턴스가 매우 작게 될 수 있다.

따라서, 본 실시예의 도 10A에 도시된 바와 같이, 단지 게이트 전극(35)과 드레인 영역(32)과의 사이에 형성되는 게이트 커패시턴스만으로 전류 제어용 FET(202A)의 게이트의 전위를 유지하는 것이 가능하다.

그 다음, 도 10B에 도시된 전류 제어용 FET(202B)는 게이트 전극(35)이 게이트 절연막을 개재한 채로 LDD 영역(51)의 일부와 겹쳐지는 것의 예이다. 그 경우, 게이트 전극(35)과 겹쳐지지 않는 LDD 영역(51)의 부분은 레지스터로서 기능하여 오프 전류 값을 감소시키는 효과를 나타내게 된다. 즉, 도 10B의 구조로 함으로써 핫 캐리어 주입으로 인한 열화를 억제하는 동시에 오프 전류 값을 낮추는 2가지의 것을 실현할 수 있다.

그 다음, 도 10C에 도시된 전류 제어용 FET(202C)는 도 10B에 도시된 LDD 영역(51)이 소스 영역(31)의 옆에만 아니라 드레인 영역(32)의 옆에도 마련되는 것의 예이다. 그러한 실시예에서는 부가의 영역이 LDD 영역(52)으로 된다. 그러한 구조는 아날로그 구동 시스템에 사용되는 생츄링 회로와 같이 전자의 흐름 방향이 변하는(소스 영역과 드레인 영역이 반전됨) 경우에 효과적인 구조이다.

따라서, 도 10C의 구조를 스위칭용 FET에 사용하는 것도 가능하게 된다. 또한, 그러한 경우에는 핫 캐리어 주입으로 인한 열화를 억제하는 동시에 오프 전류 값을 낮추는 2가지의 것을 실현할 수 있다.

그 다음, 도 10D에 도시된 전류 제어용 FET(202D)는 도 1에 도시된 LDD 영역(33)이 소스 영역(31)의 옆과 드레인 영역(32)의 옆의 양측에 마련되는 것의 예이다. 그러한 구조는 아날로그 구동 시스템에 사용되는 생츄링 회로와 같이 전자의 흐름 방향이 변하는 경우에 효과적인 구조이다.

또한, 본 실시예의 임의의 구조는 실시예 1의 전류 제어용 FET(202)로 대체될 수 있고, 아울러 실시예 2와 조합될 수도 있다.

[실시예 4]

본 실시예에서는 대형 기판(대형 웨이퍼)을 사용하여 다수의 EL 표시장치를 제작하는 경우에 관해 설명하기로 한다. 설명을 위해, 도 11A 내지 도 13B의 평면도가 사용된다. 또한, 각각의 평면도에는 A-A' 선 및 B-B' 선을 따른 단면도도 도시되어 있다.

도 11A는 실시예 1에서 제작된 액티브 매트릭스 기판 상에 밀봉 부재를 형성한 상태를 나타낸 도면이다. 도면 부호 61'은 액티브 매트릭스 기판을 지시하고 있고, 제1 밀봉 부재(62)는 다수의 지점에 마련된다. 제1 밀봉 부재(62)는 개구부(63)를 확보한 채로 형성된다.

제1 밀봉 부재(62)에는 필러(로드형 스페이서)를 첨가할 수 있다. 또한, 구형 스페이서(64)를 전체의 액티브 매트릭스 기판(61) 상에 산재시킨다. 그러한 스페이서(64)는 제1 밀봉 부재(62)의 형성 전후에 산재될 수 있다. 어느 경우에도 필러(도사를 생략함) 또는 스페이서(64)에 의해 액티브 매트릭스 기판(61)과 그 액티브 매트릭스 기판(61)의 위에 있는 커버 부재와의 사이에 일정 간격을 확보하는 것이 가능하다.

또한, EL 소자의 열화를 억제한다는 측면에서 스페이서(64)가 흡습성을 보유하도록 하는 것이 효과적이다. 또한, 스페이서(64)가 발광층으로부터 발광되는 광을 투과하는 재료로 이루어지는 것이 바람직하다.

화소부와 구동회로부는 밀봉 부재(62)에 의해 둘러싸인 영역 내에 포함된다. 본 명세서에서는 화소부와 구동회로부로 이루어지는 부분이 액티브 매트릭스부라고 지칭된다. 즉, 각각 화소부와 구동회로부의 조합으로 되는 다수의 액티브 매트릭스부가 하나의 대형 기판 상에 형성되도록 액티브 매트릭스 기판(61)을 형성한다.

도 11B는 커버 부재(66)가 액티브 매트릭스 기판(61)에 접합된 상태를 나타내고 있다. 본 명세서에서는 액티브 매트릭스 기판(61), 제1 밀봉 부재(62), 및 커버 부재(66)를 포함하는 셀이 액티브 매트릭스 셀이라고 지칭된다.

전술된 접합에는 액정의 셀 조립 단계와 유사한 공정을 사용할 수 있다. 또한, 커버 부재(66)로서는 면적이 액티브 매트릭스 기판(61)의 면적과 동일한 투명 기판(또는 투명막)을 사용할 수 있다. 따라서, 도 11B의 상태에서는 모든 액티브 매트릭스부에 공통된 커버 부재로서 그러한 투명 기판(또는 투명막)을 사용하게 된다.

커버 부재(66)를 접합한 후에는 액티브 매트릭스 셀을 다수의 부분으로 분할한다. 본 실시예에서는 액티브 매트릭스 기판(61)과 커버 부재(66)를 다수의 부분으로 분할할 때에 스크라이버(scriber)를 사용한다. 그러한 스크라이버는 기판 상에 가는 홈(금긋기 홈)을 형성한 후에 금긋기 홈에 충격을 가하여 금긋기 홈을 따른 크랙을 발생시킴으로써 기판을 다수의 부분으로 분할하는 장치이다.

또한, 기판을 다수의 부분으로 분할하기 위한 장치로서 다이서(dicer)도 역시 공지되어 있다. 그러한 다이서는 경질 커터(다이싱 톱으로서도 지칭됨)가 고속으로 회전하여 기판을 다수의 부분으로 분할하는 장치이다. 그러나, 다이서를 사용할 경우에는 다이싱 톱에 물을 분사하여 열의 발생 및 마모 분말의 비산을 방지해야 한다. 따라서, EL 표시장치를 제작할 경우에는 물을 사용하지 않는 스크라이버를 사용하는 것이 바람직하다.

액티브 매트릭스 기판(61)과 커버 부재(66)에 금긋기 홈을 형성하는 순서로서는 우선 화살표(a)의 방향으

로 금긋기 홈(67a)을 형성하고, 그 다음으로 화살표(b)의 방향으로 금긋기 홈(67b)을 형성한다. 그 때에, 개구부(63)의 인근을 통과하는 금긋기 홈을 형성하여 제1 밀봉 부재(62)를 절단한다. 그와 같이 함으로써 개구부(63)가 액티브 매트릭스 셀의 단부 면에 나타나게 되기 때문에, 후속의 필러 주입 단계가 용이해진다.

그러한 형식으로 금긋기 홈이 형성되면, 규소 수지의 탄성 비 등에 의해 금긋기 홈에 충격을 가하여 크랙을 발생시킴으로써 액티브 매트릭스 기판(61)과 커버 부재(66)가 다수의 부분으로 분할되도록 한다.

도 12A는 제1 분할 후의 상태를 나타내고 있는데, 그러한 분할에 의해 각각 2개의 액티브 매트릭스부를 포함하는 액티브 매트릭스 셀(68, 69)이 형성된다. 그 다음으로, 액티브 매트릭스 기판(61), 제1 밀봉 부재(62), 및 커버 부재(66)로 형성된 공간 속에 진공 주입 방법에 의해 필러(70)를 주입한다. 진공 주입 방법은 액정 주입 기술로서 널리 공지된 것이기 때문에, 그에 관한 설명을 생략하기로 한다. 그 때에, 필러(70)의 점도는 3 내지 15 cp인 것이 바람직하다. 그러한 점도를 보유한 필러를 선택하거나 용매 등으로 희석시킴으로써 원하는 점도를 만들 수 있다. 또한, 필러에 건조제를 첨가한 상태에서 진공 주입 방법을 실행할 수도 있다.

그러한 형식으로, 도 12A에 도시된 바와 같이 필러(70)를 충전시킨다. 또한, 본 실시예에는 필러(70)를 다수의 액티브 매트릭스 셀 속에 동시에 충전시키는 시스템을 예시하고 있지만, 그러한 시스템은 대각선이 약 0.5 내지 1 인치인 소형 EL 표시장치의 제작에 적합한 것이다. 한편, 대각선이 약 5 내지 30 인치인 대형 EL 표시장치를 제작할 경우에는 각각의 액티브 매트릭스 셀로의 분할이 이루어진 후에 필러(70)를 충전시키는 것이 적절하다.

전술된 형식으로 필러(70)를 충전시킨 후에는 필러(70)를 경화시켜 액티브 매트릭스 기판(61)과 커버 부재(66)간의 접착성이 더욱 고조되도록 한다. 필러(70)가 자외선 경화 수지인 경우에는 자외선을 조사하고, 필러(70)가 열 경화성 수지인 경우에는 가열을 한다. 그러나, 열 경화성 수지를 사용할 경우에는 유기 EL 재료의 열 저항에 관심을 기울여야 한다.

그 다음, 액티브 매트릭스 기판(61)과 커버 부재(66)에 금긋기 홈을 다시 형성한다. 그 순서로서는 우선 화살표(a)의 방향으로 금긋기 홈(67a)을 형성하고, 그 다음으로 화살표(b)의 방향으로 금긋기 홈(67b)을 형성한다. 그 때에, 커버 부재(66)의 면적이 분할 후에 액티브 매트릭스 기판(61)에 비해 작게 되도록 금긋기 홈을 형성한다.

그러한 형식으로 금긋기 홈을 형성한 후에 규소 수지의 탄성 비 등에 의해 금긋기 홈에 충격을 가하여 크랙을 발생시킴으로써 액티브 매트릭스 셀(72 내지 75)로 분할한다. 도 13A는 제2 분할 후의 상태를 나타내고 있다. 또한, 각각의 액티브 매트릭스 셀(72 내지 75)에 FPC(76)를 부착한다.

결국으로, 도 13B에 도시된 바와 같이 각각의 액티브 매트릭스 셀(72 내지 75) 및 FPC(76)의 기판 단부 면(제1 밀봉 부재(62) 또는 필러(70)의 노출 면)을 덮도록 제1 밀봉 부재(77)를 형성한다. 제1 밀봉 부재(77)는 가스 제거가 거의 일어나지 않는 자외선 경화 수지 등으로 형성될 수 있다.

전술된 공정에 의해 도 13B에 도시된 바와 같은 EL 표시장치가 완성된다. 전술된 바와 같이, 본 실시예를 실행함으로써 하나의 기판으로부터 다수의 EL 표시장치가 제작될 수 있다. 예를 들어, 620 mm × 720 mm의 기판으로부터 각각 대각선이 13 내지 14 인치인 6개의 EL 표시장치가 형성되거나 각각 대각선이 15 내지 17 인치인 4개의 EL 표시장치가 형성될 수 있다. 따라서, 단위 시간당 작업 처리량이 현저히 개선될 수 있고, 제작 비용도 절감될 수 있다.

또한, 본 실시예의 EL 표시장치의 제작 공정은 제1 내지 제3 실시예 중의 임의의 구조를 포함하는 EL 표시장치의 제작에 사용될 수 있다.

#### [실시예 5]

본 실시예에서는 실시예 4에서 필러(70)를 사용하지 않는 경우의 예를 설명하기로 한다. 본 실시예는 액티브 매트릭스 셀이 진공 중에 놓여진 후에 1 내지 2 기압으로 압축된 건조 불활성 기스가 제1 밀봉 부재(62)에 의해 둘러싸인 영역 속에 밀봉되는 것을 그 특징으로 한다. 불활성 가스로서는 질소 또는 희유 가스(전형적으로 아르곤, 헬륨, 또는 네온)를 사용할 수 있다.

또한, 본 실시예는 실시예 4에서 진공 주입되는 재료가 가스라는 점을 제외하고는 실시예 4의 공정을 그대로 사용할 수 있다. 따라서, 본 실시예의 EL 표시장치의 제작 공정은 실시예 1 내지 3 중의 임의의 구조를 포함하는 EL 표시장치의 제작에 사용될 수 있다.

#### [실시예 6]

실시예 1 내지 5에서는 EL 표시장치에 관해 설명하였지만, 본 발명은 액티브 매트릭스 전기 변색 디스플레이(ECO), 전기 방출 디스플레이(FED), 또는 액정 디스플레이(LCD)에 사용될 수도 있다.

즉, 본 발명은 발광 장치 또는 수광 소자가 전기적으로 FET에 접속되는 임의의 전자장치에 사용될 수 있다.

#### [실시예 7]

본 발명에 따라 제작된 EL 표시장치는 자기 발광형(self-emitting type)이므로, 밝은 지점에서 디스플레이된 화상의 인지력이 액정 표시장치에 비해 훨씬 더 우수한 특성을 보인다. 또한, 그러한 EL 표시장치는 보다 더 넓은 시야 각을 제공한다. 따라서, 그러한 EL 표시장치는 각종의 전자장치의 표시부에 적용될 수 있다. 예를 들어, 대형 크기의 스크린 상에서 TV 프로그램 등을 관람하기 위해 본 발명에 따른 EL 표시장치가 대각선 크기가 30 인치 이상(전형적으로 40 인치)인 EL 디스플레이(즉, EL 표시장치가 프레임 속에 설치된 디스플레이)의 표시부로서 사용될 수 있다.

EL 디스플레이는 PC용 디스플레이, TV 방송 프로그램 수신용 디스플레이, 광고 디스플레이용 디스플레이와 같이 정보를 디스플레이하는데 사용되는 모든 종류의 디스플레이를 포함한다. 또한, 본 발명에 따른 EL

표시장치는 각종의 다른 전자장치의 표시부로서 사용될 수 있다.

그러한 전자장치는 비디오 카메라, 디지털 카메라, 고밀형 디스플레이(헤드 장착 디스플레이), 치량 항법 시스템, 음 재생 장치(오디오 설비), 노트 크기의 개인용 컴퓨터, 게임기, 휴대 정보 터미널(이동 컴퓨터, 휴대 전화, 휴대 게임기, 전자 수첩 등), 및 녹화 매체를 포함하는 화상 재생 장치(보다 구체적으로, 디지털 다용도 디스크(DVD)와 같은 녹화 매체를 재생할 수 있고 재생된 화상의 디스플레이를 위한 디스플레이를 포함하는 장치) 등을 포함한다. 특히, 휴대 정보 터미널의 경우에는 경사진 방향으로부터 바라볼 가능성이 높은 휴대 정보 터미널이 흔히 넓은 시야 각을 필요로 하기 때문에 EL 표시장치를 사용하는 것이 바람직하다. 도 14 및 도 15는 그러한 전자장치의 각종의 특정 예를 각각 도시하고 있다.

도 16A는 프레임(2001), 지지 테이블(2002), 표시부(2003) 등을 포함하는 EL 디스플레이를 도시하고 있다. 본 발명은 표시부(2003)에 적용될 수 있다. EL 디스플레이 자기 발광형이므로, 배경 조명을 필요로 하지 않는다. 따라서, 그 표시부는 액정 표시장치의 그것에 비해 보다 더 얇은 두께로 될 수 있다.

도 14B는 본체(2101), 표시부(2102), 오디오 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 화상 수신부(2106) 등을 포함하는 비디오 카메라를 도시하고 있다. 본 발명에 따른 EL 표시장치는 표시부(2102)에 사용될 수 있다.

도 14C는 본체(2201), 신호 케이블(2202), 헤드 장착 밴드(2203), 표시부(2204), 광학 시스템(2205), EL 표시장치(2206) 등을 포함하는 헤드 장착형 EL 디스플레이의 일부(우측 절반부)를 도시하고 있다. 본 발명은 EL 표시장치(2206)에 적용될 수 있다.

도 14D는 본체(2301), 녹화 매체(DVD 등)(2302), 조작 스위치(2303), 표시부(a)(2304), 다른 표시부(b)(2305)를 포함하는 녹화 매체를 구비한 화상 재생 장치(보다 구체적으로, DVD 재생 장치)를 도시하고 있다. 표시부(a)는 주로 화상 정보의 디스플레이에 사용되는 반면에, 표시부(b)는 주로 문자 정보의 디스플레이에 사용된다. 본 발명에 따른 EL 표시장치는 그러한 표시부(a) 및 표시부(b)에 사용될 수 있다. 녹화 매체를 구비한 화상 재생 장치는 CD 재생 장치, 게임기 등을 추가로 포함한다.

도 14E는 본체(2401), 카메라부(2402), 화상 수신부(2403), 조작 스위치(2404), 표시부(2405) 등을 포함하는 휴대(이동) 컴퓨터를 도시하고 있다. 본 발명은 표시부(2405)로서 사용될 수 있다.

도 14F는 본체(2501), 프레임(2502), 표시부(2503), 키보드(2504) 등을 포함하는 개인용 컴퓨터를 도시하고 있다. 본 발명에 따른 EL 표시장치는 표시부(2503)로서 사용될 수 있다.

장래에 EL 재료로부터 발광되는 광의 보다 더 밝은 휘도가 가용되게 되면, 본 발명에 따른 EL 표시장치는 출력 화상 정보를 포함하는 광이 투과된 렌즈 등에 의해 확대되는 전방형 또는 후방형 프로젝터에 적용될 것이다.

전술된 전자장치는 인터넷, CATV(케이블 TV 시스템)와 같은 원격 통신 경로를 통해 보급되는 정보를 디스플레이하는데 점점 더 빈번하게 사용될 것으로 전망되고, 특히 이동 사진 정보를 디스플레이하게 될 것으로 전망된다. 그러한 EL 표시장치는 EL 재료가 높은 응답 속도를 보이기 때문에, 이동 사진을 디스플레이하는데 적합하다. 그러나, 화소간의 유착이 불명료하면, 전체로서의 이동 사진이 명료하게 디스플레이되지 않는다. 본 발명에 따른 EL 표시장치는 화소간의 유착을 명료하게 할 수 있기 때문에, 본 발명의 EL 표시장치를 전자장치의 표시부에 적용하는 것이 매우 유리하다.

발광하고 있는 EL 표시장치의 부분은 전력을 소비하므로, 그 장치의 발광부가 가능한 한 작게 되도록 정보를 디스플레이하는 것이 바람직하다. 따라서, EL 표시장치가 예를 들어 이동 정보 터미널, 보다 구체적으로 이동 전화 또는 음 재생 설비와 같이 주로 문자 정보를 디스플레이하는 표시부에 적용될 경우에는 비발광부를 배경에 대응시키면서 발광부에 의해 문자 정보를 형성하도록 EL 표시장치를 구동하는 것이 바람직하다.

이제, 도 15를 참조하면, 본체(2601), 오디오 출력부(2602), 오디오 입력부(2603), 표시부(2604), 조작 스위치(2605), 및 안테나(2606)를 포함하는 이동 전화가 도시되어 있다. 본 발명에 따른 EL 표시장치는 표시부(2604)로서 사용될 수 있다. 그러한 표시부(2604)는 흑색 배경 상에 백색 문자를 디스플레이함으로써 이동 전화의 전력 소비를 감소시킬 수 있다.

도 15B는 본체(2701), 표시부(2702), 및 조작 스위치(2703, 2704)를 포함하는 음 재생 장치, 구체적으로 키 오디오 설비를 도시하고 있다. 본 발명에 따른 EL 표시장치는 표시부(2702)로서 사용될 수 있다. 본 실시예에서는 내장형 카 오디오 시스템을 예시하고 있지만, 본 발명은 세트형 오디오에도 적용될 수 있다. 그러한 표시부(2702)는 흑색 배경 상에 백색 문자를 디스플레이함으로써 전력 소비를 감소시킬 수 있고, 그것은 휴대형 오디오에 특히 유리하다.

전술된 바와 같이, 본 발명은 모든 분야의 광범위한 전자장치에 다양하게 적용될 수 있다. 본 실시예의 전자장치는 제1 내지 제6 실시예의 구조가 자유롭게 조합되어 구성된 EL 표시장치를 사용함으로써 얻어질 수 있다.

#### 발명의 효과

본 발명에 따르면, 특성의 변동이 적은 FET를 사용하는 화소를 실현할 수 있고, 화소간에 발광 장치의 발광 특성의 변동이 적고 높은 컬러 재현성이 있는 전자장치를 얻을 수 있다. 또한, 역할에 따라 상이한 구조로 도는 FET를 화소에 배치함으로써 신뢰성이 높은 전자장치를 얻을 수 있게 된다.

또한, 본 발명의 전자장치를 표시부로서 사용함으로써 성능 및 신뢰성이 높은 전자 설비를 얻을 수 있게 된다.

#### (57) 청구의 범위

청구항 1

제1 FET:

제1 FET의 드레인 배선 라인에 전기적으로 접속된 하나 이상의 게이트 전극을 구비하는 제2 FET; 및  
제2 FET의 드레인 배선 라인에 전기적으로 접속되는 발광 장치를 포함하고, 제2 FET에 구비되어 단결정 반도체를 이루는 LDD 영역과 게이트 전극은 그 사이에 게이트 절연막을 개재한 채로 그 일부 또는 전부가 서로 겹쳐지도록 마련되는 것을 특징으로 하는 전자장치.

청구항 2

제 1 항에 있어서, 제2 FET의 LDD 영역은  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  원자/ $\mu\text{m}^2$ 의 농도 범위의 n형 불순물 원소를 함유하는 것을 특징으로 하는 전자장치.

청구항 3

제 1 항에 있어서, 전자장치는 전계발광 표시장치, 액정 표시장치, 전계 방출 표시장치, 및 전기 변색 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 전자장치.

청구항 4

제 3 항에 있어서, 표시장치는 비디오 카메라, 디지털 카메라, 헤드 장착 디스플레이, 차량 항법 시스템, 오디오 설비, 노트 크기의 개인용 컴퓨터, 게임기, 휴대 정보 터미널, 및 화상 재생 장치로 이루어진 군으로부터 선택된 전자 설비 중에 통합되는 것을 특징으로 하는 전자장치.

청구항 5

서로 직렬로 접속된 다수의 FET로 이루어지는 제1 FET:

제1 FET의 드레인 배선 라인에 전기적으로 접속된 하나 이상의 게이트 전극을 구비하는 제2 FET; 및  
제2 FET의 드레인 배선 라인에 전기적으로 접속되는 발광 장치를 포함하고, 제2 FET에 구비되어 단결정 반도체를 이루는 LDD 영역과 게이트 전극은 그 사이에 게이트 절연막을 개재한 채로 그 일부 또는 전부가 서로 겹쳐지도록 마련되는 것을 특징으로 하는 전자장치.

청구항 6

제 5 항에 있어서, 제2 FET의 LDD 영역은  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  원자/ $\mu\text{m}^2$ 의 농도 범위의 n형 불순물 원소를 함유하는 것을 특징으로 하는 전자장치.

청구항 7

제 5 항에 있어서, 전자장치는 전계발광 표시장치, 액정 표시장치, 전계 방출 표시장치, 및 전기 변색 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 전자장치.

청구항 8

제 7 항에 있어서, 표시장치는 비디오 카메라, 디지털 카메라, 헤드 장착 디스플레이, 차량 항법 시스템, 오디오 설비, 노트 크기의 개인용 컴퓨터, 게임기, 휴대 정보 터미널, 및 화상 재생 장치로 이루어진 군으로부터 선택된 전자 설비 중에 통합되는 것을 특징으로 하는 전자장치.

청구항 9

화소부와 구동회로부를 구비하고, 구동회로부는 LDD 영역과 게이트 전극이 그 사이에 게이트 절연막을 개재한 채로 서로 겹쳐지도록 마련된 n채널형 FET로 이루어지며, 화소부는 제1 FET, 제2 FET, 및 제2 FET에 전기적으로 접속된 발광 장치로 이루어지고, 제2 FET에 구비되어 단결정 반도체를 이루는 LDD 영역과 게이트 전극은 그 사이에 게이트 절연막을 개재한 채로 그 일부 또는 전부가 서로 겹쳐지도록 마련되는 것을 특징으로 하는 전자장치.

청구항 10

제 9 항에 있어서, 제2 FET의 LDD 영역은  $2 \times 10^{16}$  내지  $5 \times 10^{19}$  원자/ $\mu\text{m}^2$ 의 농도 범위의 n형 불순물 원소를 함유하는 것을 특징으로 하는 전자장치.

청구항 11

제 9 항에 있어서, 전자장치는 전계발광 표시장치, 액정 표시장치, 전계 방출 표시장치, 및 전기 변색 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 전자장치.

청구항 12

제 11 항에 있어서, 표시장치는 비디오 카메라, 디지털 카메라, 헤드 장착 디스플레이, 차량 항법 시스템, 오디오 설비, 노트 크기의 개인용 컴퓨터, 게임기, 휴대 정보 터미널, 및 화상 재생 장치로 이루어진 군으로부터 선택된 전자 설비 중에 통합되는 것을 특징으로 하는 전자장치.

청구항 13

화소부와 구동회로부를 구비하고, 구동회로부는 LDD 영역과 게이트 전극이 그 사이에 게이트 절연막을 개재한 채로 서로 겹쳐지도록 마련된 n채널형 FET로 이루어지며, 화소부는 제1 FET, 제2 FET, 및 제2 FET에

전기적으로 접속된 발광 장치로 이루어지고, 제1 FET는 서로 직렬로 접속된 다수의 FET를 구비하며, 제2 FET에 구비되어 단결정 반도체를 이루는 LDD 영역과 게이트 전극은 그 사이에 게이트 절연막을 개재한 채로 그 일부 또는 전부가 서로 겹쳐지도록 마련되는 것을 특징으로 하는 전자장치.

청구항 14

제 13 항에 있어서, 제2 FET의 LDD 영역은  $2 \times 10^{15}$  내지  $5 \times 10^{19}$  원자/cm<sup>2</sup>의 농도 범위의 n형 불순물 원소를 함유하는 것을 특징으로 하는 전자장치.

청구항 15

제 13 항에 있어서, 전자장치는 전계발광 표시장치, 액정 표시장치, 전계 방출 표시장치, 및 전기 변색 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 전자장치.

청구항 16

제 15 항에 있어서, 표시장치는 비디오 카메라, 디지털 카메라, 헤드 장착 디스플레이, 차량 항법 시스템, 오디오 설비, 노트북 크기의 개인용 컴퓨터, 게임기, 휴대 정보 터미널, 및 화상 재생 장치로 이루어진 군으로부터 선택된 전자 설비 중에 포함되는 것을 특징으로 하는 전자장치.

청구항 17

반도체 기판 상에 하나 이상의 제1 FET 및 제2 FET를 구비하고, 제1 FET는 반도체 기판에 형성되는 제1 소스 영역, 제1 드레인 영역, 및 그 사이에 개재된 제1 채널 형성 영역과, 제1 게이트 절연막을 그 사이에 개재한 채로 제1 채널 형성 영역 위에 형성되는 제1 게이트 전극으로 이루어지며, 제2 FET는 반도체 기판에 형성되는 제2 소스 영역, 제2 드레인 영역, 및 그 사이에 개재된 제2 채널 형성 영역과, 제2 게이트 절연막을 그 사이에 개재한 채로 제2 채널 형성 영역 위에 형성되고 제1 드레인 영역에 전기적으로 접속되는 제2 게이트 전극으로 이루어지고, 제2 드레인 영역에는 발광층이 전기적으로 접속되며, 반도체 기판에는 LDD 영역의 일부 또는 전부와 제2 게이트 전극이 그 사이에 게이트 절연막을 개재한 채로 서로 겹쳐지도록 하나 이상의 LDD 영역이 형성되는 것을 특징으로 하는 전자장치.

청구항 18

제 17 항에 있어서, 제2 FET의 LDD 영역은  $2 \times 10^{15}$  내지  $5 \times 10^{19}$  원자/cm<sup>2</sup>의 농도 범위의 n형 불순물 원소를 함유하는 것을 특징으로 하는 전자장치.

청구항 19

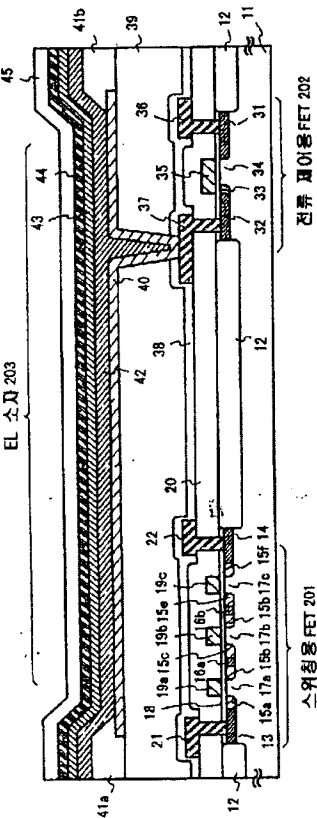
제 17 항에 있어서, 전자장치는 전계발광 표시장치, 액정 표시장치, 전계 방출 표시장치, 및 전기 변색 표시장치로 이루어진 군으로부터 선택된 표시장치인 것을 특징으로 하는 전자장치.

청구항 20

제 19 항에 있어서, 표시장치는 비디오 카메라, 디지털 카메라, 헤드 장착 디스플레이, 차량 항법 시스템, 오디오 설비, 노트북 크기의 개인용 컴퓨터, 게임기, 휴대 정보 터미널, 및 화상 재생 장치로 이루어진 군으로부터 선택된 전자 설비 중에 포함되는 것을 특징으로 하는 전자장치.

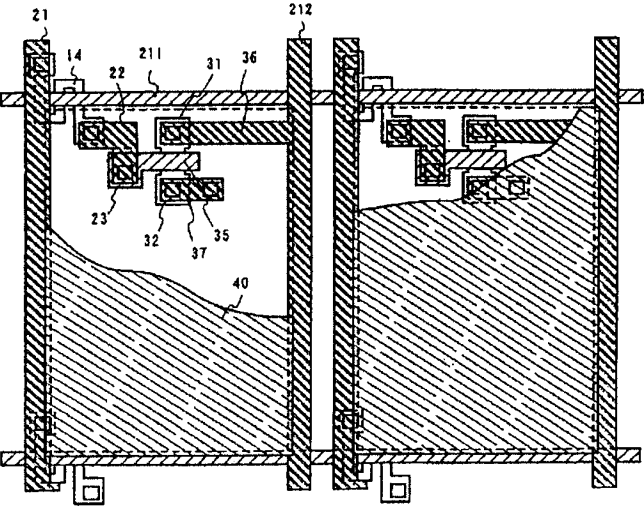
도면

도면 1

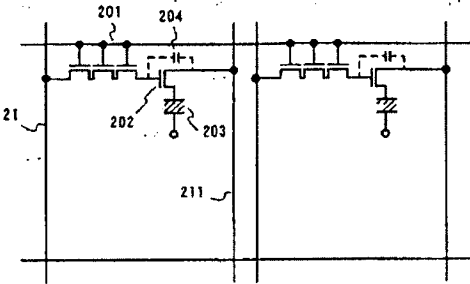




도 22



A



B

図 23

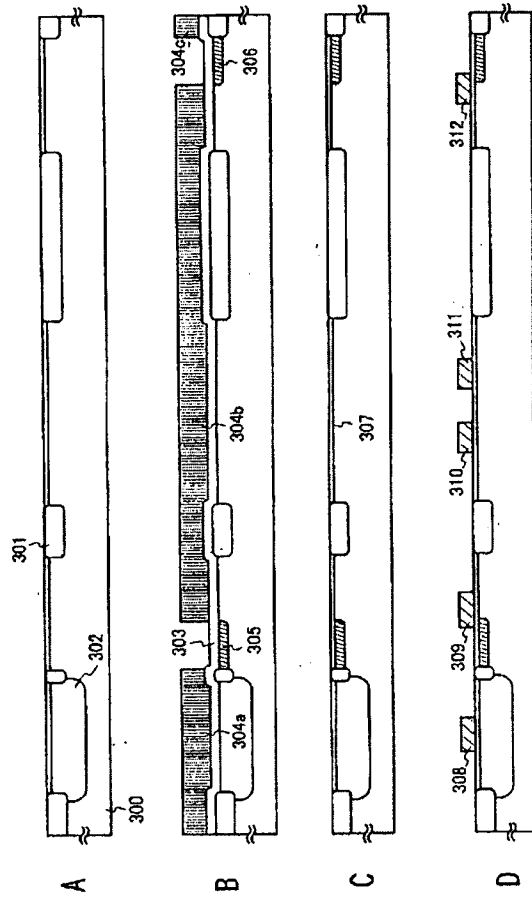
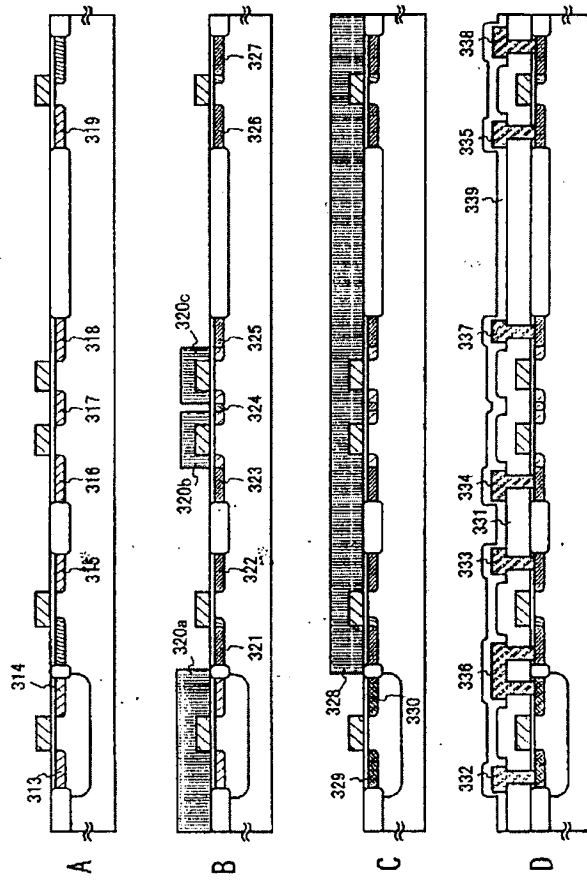
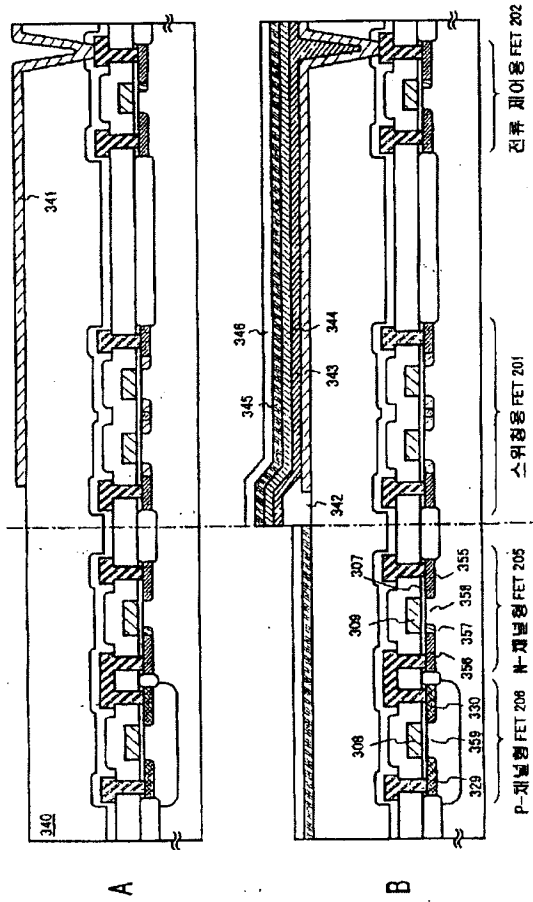


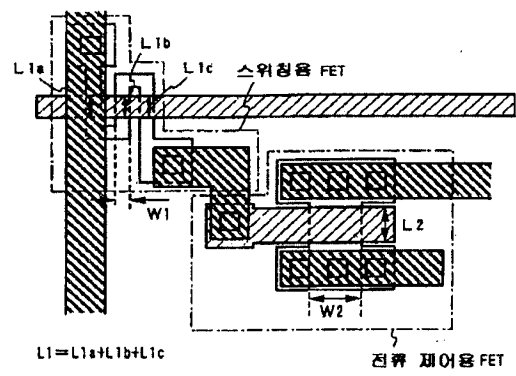
FIG. 4



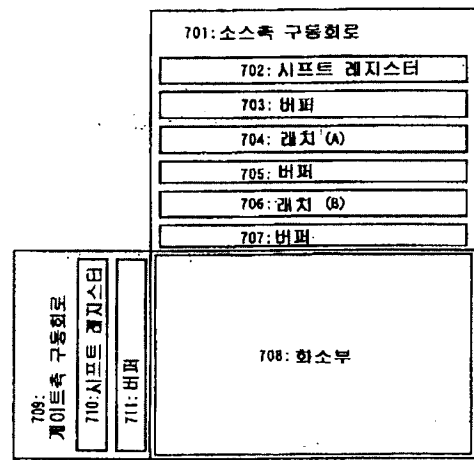
도면5



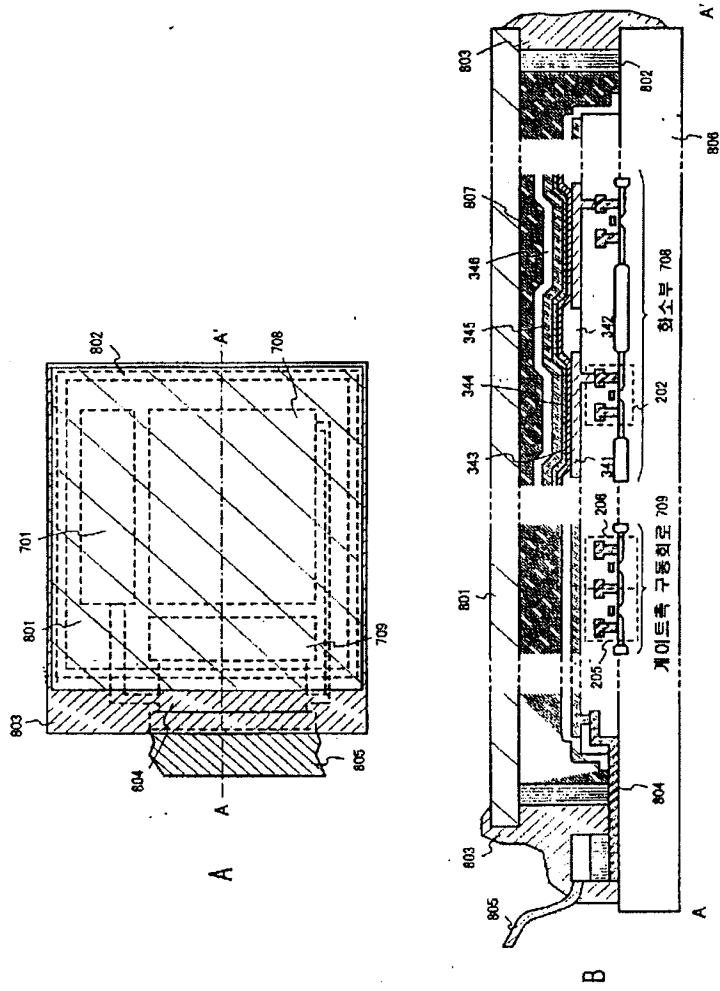
도면6



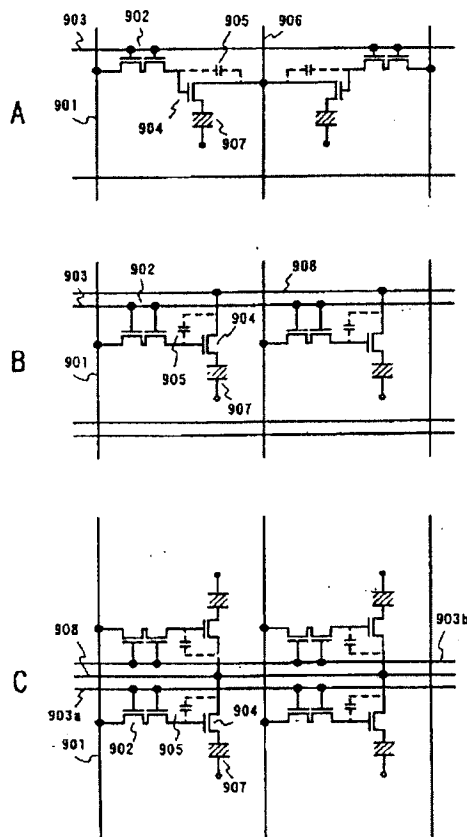
도면7



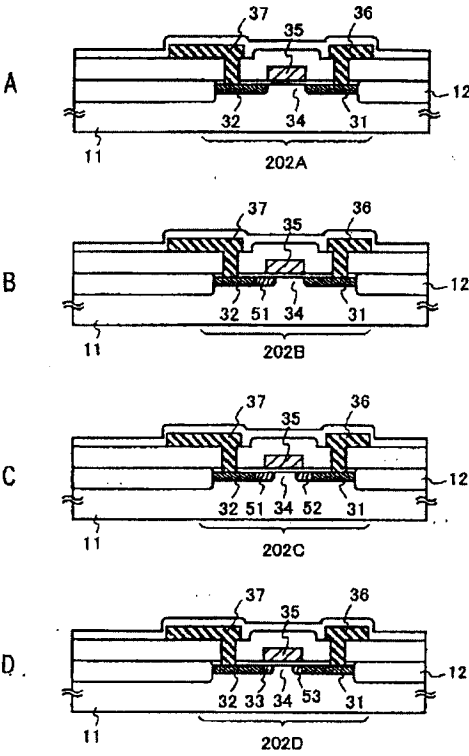
도 28B



도 29

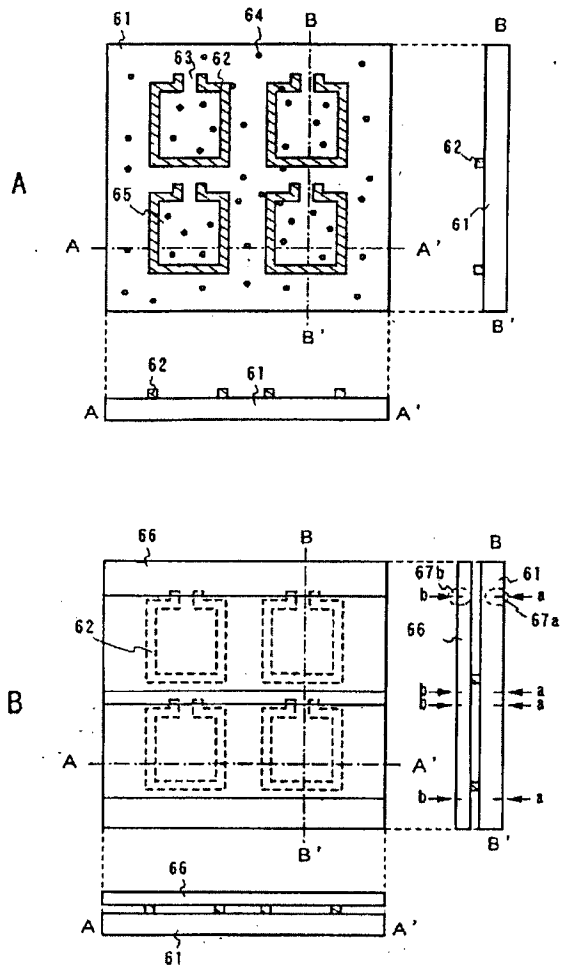


도면 10

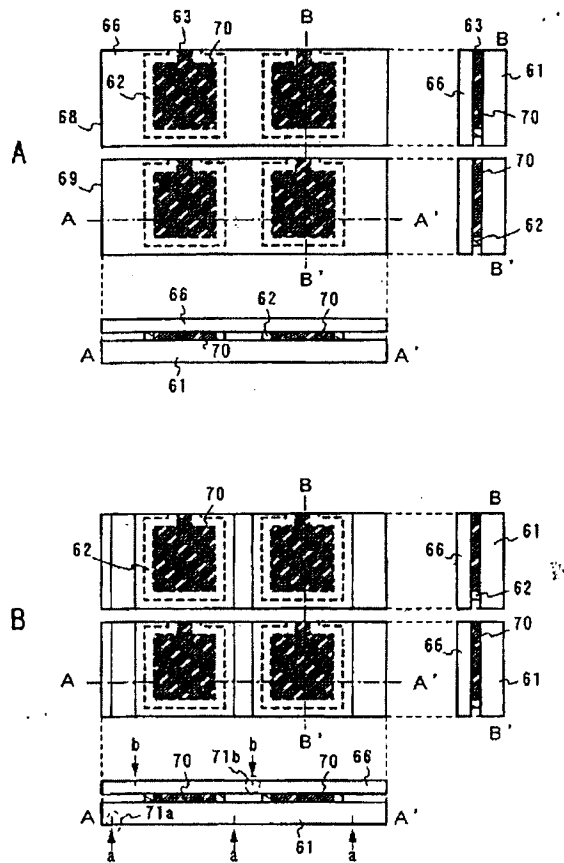




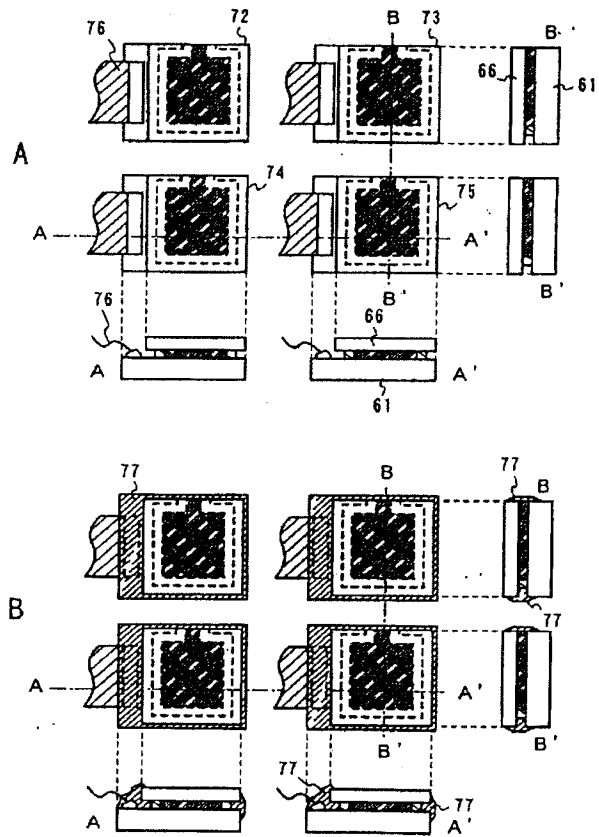
도면 11



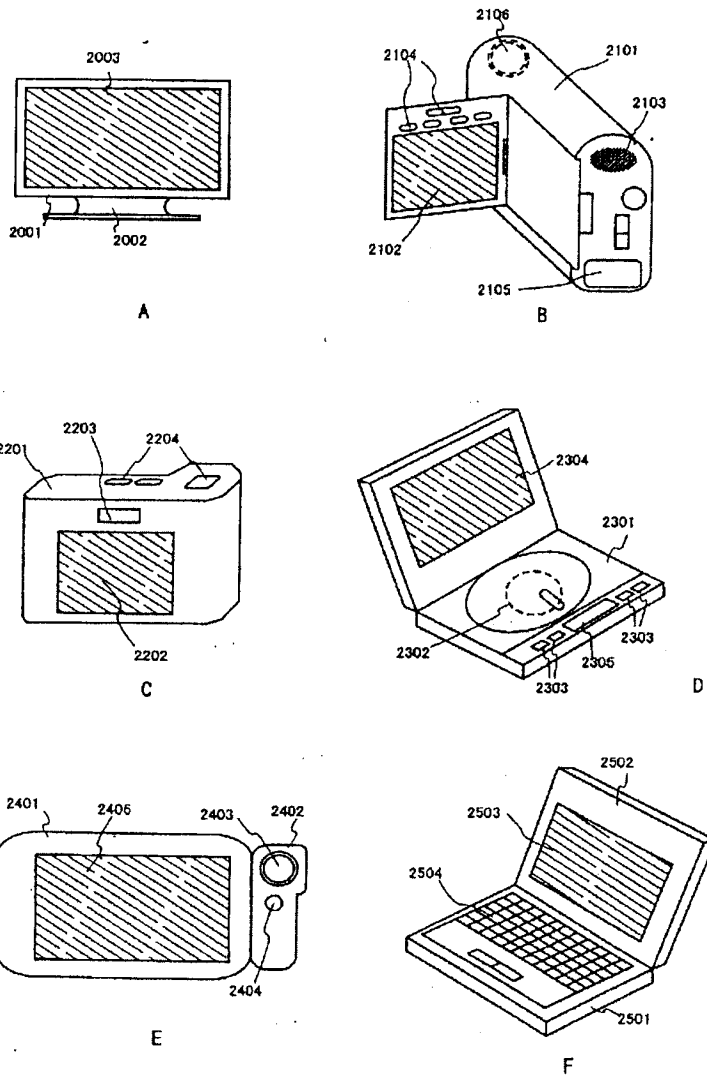
도면 12



도면 13



도면14



도 15

